

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 235541

(43) 公開日 平成 7 年 (1995) 9 月 5 日

(51) Int.Cl. <sup>8</sup>	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 21/3205				
21/768				
27/04				

H 0 1 L 21/ 88	Z
21/ 90	B

審査請求 未請求 請求項の数 4 F D (全 12 頁) 最終頁に続く

(21) 出願番号 特願平 6 - 47757

(22) 出願日 平成 6 年 (1994) 2 月 22 日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町 72 番地

(72) 発明者 富田 健一

神奈川県川崎市幸区小向東芝町 1 株式会社  
社東芝多摩川工場内

(72) 発明者 間瀬 康一

神奈川県川崎市幸区小向東芝町 1 株式会社  
社東芝多摩川工場内

(72) 発明者 石黒 陽

神奈川県川崎市幸区小向東芝町 1 株式会社  
社東芝多摩川工場内

(74) 代理人 弁理士 諸田 英二

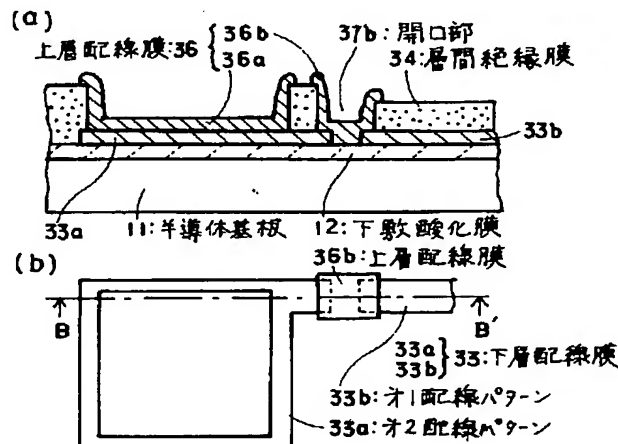
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

## (57) 【要約】

【目的】 MOS トランジスタを搭載した多層配線構造の半導体装置において、下層配線膜上に堆積した層間絶縁膜に、プラズマエッチング法により、大開口面積のビアホール（例、パッド直下領域の接続孔）を開口するとき、多量のプラズマ電荷が下層配線膜に注入され、MOS 素子の特性変化、ゲート破壊等の R I E ダメージを与えるが、これを防止する。

【構成】 (1) 下層配線膜の大面積パターンとゲート電極に接続する配線パターンとは下層配線膜では接続されていないで、接続孔開口後、前記両パターンは上層配線膜により接続孔を介し接続される。(2) 下層配線膜上にポリイミド等の保護膜を被覆し、該保護膜をエッチングストッパーとして絶縁膜に接続孔を開口後、非プラズマ雰囲気のエッチング手法により、残留保護膜を除去する。(3) 最上層のパッドに至るゲート電極引き出し配線の接続孔の開口面積を、近傍配線幅を一辺とする正方形と同等面積に低減する。



## 【特許請求の範囲】

【請求項 1】 MOS トランジスタが形成された半導体基板と、該基板上に形成された下層配線膜と、該下層配線膜を被覆する層間絶縁膜と、該層間絶縁膜上に形成された上層配線膜とを有する多層配線構造の半導体装置において、

前記下層配線膜は、前記 MOS トランジスタの電極配線と接続する第 1 の配線パターンと第 1 配線パターンに比べ面積の大きい第 2 の配線パターンとを有し、第 1 及び第 2 配線パターンは前記下層配線膜では互いに接続されていないで、前記層間絶縁膜の開口部を介し、上層配線膜により接続されている配線構造を具備することを特徴とする半導体装置。

【請求項 2】 半導体基板上に、 MOS トランジスタの電極配線に接続する第 1 の配線パターンと、第 1 配線パターンに比べ大面積を持ちかつ第 1 配線パターンと接続されていない第 2 の配線パターンとを有する下層配線膜を形成する工程と、下層配線膜を被覆する層間絶縁膜を形成する工程と、該層間絶縁膜にプラズマエッチング法により第 1 及び第 2 配線パターンに達する開口部を形成する工程と、開口部を形成した前記層間絶縁膜上に上層配線膜を堆積し、前記層間絶縁膜の開口部を介し上層配線膜により第 1 及び第 2 配線パターンを接続する工程とを含む請求項 1 記載の半導体装置の製造方法。

【請求項 3】 MOS トランジスタが形成された半導体基板と、該基板上に形成された下層配線膜と、該下層配線膜を被覆する層間絶縁膜と、該層間絶縁膜上に形成された上層配線膜とを有する多層配線構造の半導体装置の製造方法において、

MOS トランジスタが形成された前記半導体基板上に所定のパターンを有する下層配線膜を形成する工程と、該下層配線膜上に前記層間絶縁膜に比べプラズマエッチングレートの小い保護膜を形成する工程と、該保護膜を形成した下層配線膜を被覆する層間絶縁膜を形成する工程と、前記保護膜をエッチングストッパーとして、該層間絶縁膜にプラズマエッチング法により開口部を形成する工程と、該開口部底部に残留する前記保護膜を非プラズマ雰囲気のエッチング手法により選択的に除去する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 4】 MOS トランジスタが形成された半導体基板と、該基板上に形成された下層配線膜と、該下層配線膜を被覆する層間絶縁膜と、該層間絶縁膜上に形成された上層配線膜と、最上層に形成されたパッド電極部とを、有する多層配線構造の半導体装置において、

MOS トランジスタのゲート電極配線に接続し、前記多層配線構造内を通り前記最上層のパッド電極部に至る引き出し配線は、下層配線膜から上層配線膜に層間絶縁膜の接続孔を介して接続され、該接続孔の開口面積が、上層または下層の配線膜のより広い方の配線幅を一辺とする正方形の面積と同等であることを特徴とする半導体装

置。

## 【発明の詳細な説明】

## 【 0 0 0 1 】

【産業上の利用分野】 本発明は、 MOS トランジスタが形成された多層配線構造を有する半導体装置及びその製造方法に関するもので、特にプラズマエッチングによる層間絶縁膜開口工程において、大面積（パッドまたはその直下領域の接続孔等）の開口底から注入されるプラズマ電荷による MOS トランジスタのダメージ（損傷）防止ができる配線構造及び開口工程に係るものである。

## 【 0 0 0 2 】

【従来の技術】 半導体装置の従来の多層配線構造及びその形成方法の一例を簡単に述べると共に、特にパッド電極部及びパッド電極部を含む配線の構造と、これら大面積配線パターンを被覆する絶縁膜の開口工程とについて、図面を参照して以下説明する。

【 0 0 0 3 】 図 1 5 ( a ) において、 MOS トランジスタ等が形成された（図示せず）基板 1 1 上に、多層配線の下敷きとなる酸化膜（  $\text{SiO}_2$  ） 1 2 を、厚さ 800nm、 CVD 法で堆積する。図示していないが、フォトリジストをマスクとして、プラズマエッチング（例えば R I E (Reactive Ion Etching) 法）にて酸化膜 1 2 に所望のコンタクトホールを開口する。

【 0 0 0 4 】 次に酸化膜 1 2 上に、第 1 層目の Al - 1 % Si - 0.5 % Cu 膜（以下単に Al 膜と呼称） 800nm をスパッタ法にて堆積した後、フォトリジストをマスクに、 R I E 法にて該 Al 膜をパターニングして第 1 層目の Al 配線パターン 1 3 を形成する。図 1 6 ( b ) はその AA' 線断面図、同図 ( b' ) は平面図である。大面積 Al 膜（パターンとも呼ぶ） 1 3 a は、後工程でその直上に、ボンディング面となるパッド（ Pad ）電極部（約 900 ~ 10000  $\mu\text{m}^2$ ）または特性測定用プローブの接触面となるパッド電極部（約 3600  $\mu\text{m}^2$ ）が積層されたり、或いは層間キャパシタ用の開口部となる部分である。 Al 膜 1 3 b は、例えば MOS トランジスタの電極配線或いはその他の素子の電極に接続する数  $\mu\text{m}$  幅の Al 配線膜で、この従来例では、大面積 Al 膜 1 3 a に接続すると共に、 MOS トランジスタのゲート電極配線に接続しているものとする。

【 0 0 0 5 】 次に図 1 7 ( c ) において、第 1 層目の Al 配線パターン 1 3 上に、第 1 の層間絶縁膜となるシリコン酸化膜（  $\text{SiO}_2$  ）、厚さ 1000nm を、プラズマ CVD 法で全面に形成し、さらに所望により、通常のレジストエッチバック法により平坦化し、第 1 層間絶縁膜 1 4 を形成する。

【 0 0 0 6 】 次に同図 ( d ) において、通常のフォトリソグラフィ法により第 1 層間絶縁膜 1 4 の所定の位置に開口部を形成するため、ポジ型レジストマスク 1 5 を設け、図 1 8 ( e ) に示すように、通常のプラズマ雰囲気を利用する R I E 法により、第 1 層目の Al 配線パター

ン13に達する開口部（接続孔またはビアホールとも呼ぶ）17a及び17bを形成する。

【0007】一般に開口部17aは大面積Al膜13aに対応した大きな開口面を有し、また開口部17bは、第1層目のAl配線膜13bを第1層間絶縁膜14を通り、さらに上層に引き出すための接続孔で配線幅程度の大きさの開口である。開口部17a及び17bは同じレジストマスク15を使用し、同時にRIE法により開口される。

【0008】このRIEは、Al配線パターン13をエッチングストッパーとしておこなわれ、また層間絶縁膜14の厚さやエッチングレートのバラツキを考慮し、通常ジャストエッチに対して、約20～50%のオーバーエッチングを見込まねばならない。従って開口部が開口され、開口底面にAl配線パターンが露出した後においても、露出面はプラズマ雰囲気中に曝され、プラズマから電荷が該露出面に供給注入される。注入される電荷量は、Al配線パターン13の露出面積にほぼ比例する。このため大面積Al膜13aの開口部は、プラズマ雰囲気中の電荷を収集する“アンテナ”として働く。

【0009】収集された電荷は、Al配線パターン13を経て、これに接続される電極配線を介して、半導体基板上に形成された素子に伝えられることが知られている。当然、上記のような大面積開口部を有する配線パターンは、多量の電荷が注入されるので、可能な場合、保護素子が付加されているが、回路構成上の都合により付加されない場合が多く、また回路中のキャパシタパターンには保護素子は付加できない。

【0010】上記Al配線パターン13が、例えばMOSトランジスタのゲート電極に接続されていると、大面積Al膜13aに収集された電荷は、該トランジスタのゲート部に蓄積され、大きな電圧がゲート電極に印加される。この結果、MOSトランジスタのしきい値電圧 $V_{th}$ の変動等の特性劣化はいうに及ばず、最悪の場合にはゲート酸化膜の絶縁破壊により、MOSトランジスタ自体が破壊され、歩留まり低下の大きな原因となる。

【0011】また特性変動の程度が軽くて、不良にならなかった場合や、開口部形成後のアニール工程で特性が回復した場合のものでも、デバイス動作中におけるMOSトランジスタ素子の特性変動率が大きく、RIEの電荷注入ダメージのない場合と比較して、寿命が1/5～1/2と短くなる。

【0012】従来技術での工程説明に戻る。プラズマO<sub>2</sub>アッシング法により、ポジレジストマスク15を剥離する（図18（e））。次に、図18（f）において、第2層目のAl配線膜、厚さ800nmを、スパッタ法で全面に堆積する。次にフォトリソをマスクとして該Al膜をRIE法でパターニングして、第2層目のAl配線パターン16a、16bを形成する。次に第2の層間絶縁膜（SiO<sub>2</sub>膜、厚さ1000nm）18をCVD法で堆

積する。このSiO<sub>2</sub>膜18に対し、フォトリソをマスクとして、パッド電極部直下の第2の開口部（ビアホール）19a及び第2層目のAl配線パターン16bへの電極用である第2の開口部（ビアホール）19bを、RIE法にて開口する。

【0013】この第2の開口部開口工程において、前記第1の開口部開口工程時と同様に、パッド電極部直下の第2層目のAl配線パターン16aに対しては、大面積の開口部19aが形成されるため、この第2の開口部開口工程においても、オーバーエッチング時のプラズマによる電荷注入が発生し、MOSトランジスタへの悪影響の懸念が大きい。

【0014】次に、図19（g）において、フォトリソを剥離した後に第3層目のAl配線膜、厚さ800nmを、スパッタ法にて全面に堆積し、フォトリソをマスクにしてRIE法により、第3層目のAl配線パターン20を形成する。続いてトップパッシベーション膜としてSiON膜、厚さ1000nmを、CVD法にて全面に堆積する。次にフォトリソをマスクにしてトップパッシベーションSiON膜21を、ウェットエッチング法にて開口し、第3の開口部22を形成する。

【0015】一般にトップパッシベーションSiON膜21の開口工程は、電荷注入の可能性のないウェットエッチング法を用いるために、電荷注入に起因するMOSトランジスタのダメージ発生は起こらない。

【0016】  
【発明が解決しようとする課題】これまで詳述したように、MOSトランジスタを構成素子として含むと共に、層間絶縁膜を挟む下層配線膜と上層配線膜とから成る積層膜を構成要素として有する多層配線構造の半導体装置において、層間絶縁膜に下層配線と上層配線とを接続するための開口部（接続孔、ビアホール、スルーホールとも呼ぶ）が設けられる。

【0017】開口部は、下層配線膜上に堆積された層間絶縁膜を、プラズマエッチング法（例えばRIE法）により、下層配線膜をストッパーとして、20～50%のオーバーエッチングにより形成される。この時、開口部底面の下層配線膜は、エッチングにより露出した後、引き続きプラズマ雰囲気中に曝される。これによりプラズマ中の荷電粒子が、開口底の露出面を介し、下層配線膜に注入供給される。

【0018】通常、ボンディングパッド部等の直下に位置する下層配線パターンは、該パッド部の面積に相応した大面積で、この面に開口される開口部（ビアホール）の開口面積も大面積となる。このため上記露出した大面積の配線パターンは、プラズマエッチングにおいては、プラズマ中のチャージ（電荷）収集のアンテナとして作用する。収集された電荷は、接続する下層配線膜を経由して素子に運ばれ、例えばMOSトランジスタのMOS構造部（ゲート電極、ゲート酸化膜、チャネル領域

からなる容量)に蓄積される。

【0019】この結果、MOSトランジスタのしきい値電圧 $V_{th}$ 等の特性変動が生じ、最悪の場合には、ゲート酸化膜の絶縁破壊を起こし、デバイス自体を不良とし、歩留まり低下の大きな原因となる。

【0020】また特性変動が軽度であっても、上記電荷注入ダメージ(損傷)のない場合と比較し、寿命が大幅に短くなる。

【0021】近年半導体装置の高集積化に伴い、構成要素のMOSトランジスタも微細化が進んでいるが、これに対し電荷収集のアンテナ作用をするボンディングパッド等の面積の縮小化は困難で、このため前記電荷注入ダメージは、より発生しやすくなり、いわゆるRIEダメージ問題が近年顕在化している。すなわち電荷注入ダメージを防止できる技術の開発は、極めて重要な課題である。

【0022】本発明は、上記問題点に鑑みなされたもので、その目的は、MOSトランジスタを含む多層配線構造の半導体装置とその製造方法において、層間絶縁膜を介して上層及び下層配線膜を結ぶ開口部(ビアホール、接続孔)を、プラズマエッチング法(例えばRIE法)により形成するに際し、パッド電極部直下領域等の大きな開口面積の開口部から注入されるプラズマ電荷に起因するMOSトランジスタの損傷を低減し、歩留まり及び信頼性の向上が実現できる半導体装置及びその製造方法を提供することである。

【0023】

【課題を解決するための手段】

(A) 本発明の請求項1に係る半導体装置は、MOSトランジスタが形成された半導体基板と、該基板上に形成された下層配線膜と、該下層配線膜を被覆する層間絶縁膜と、該層間絶縁膜上に形成された上層配線膜とを有する多層配線構造の半導体装置において、前記下層配線膜は、前記MOSトランジスタの電極配線と接続する第1の配線パターンと、第1配線パターンに比べ面積の大きい第2の配線パターンとを有し、第1及び第2配線パターンは前記下層配線膜では互いに接続されていないで、前記層間絶縁膜の開口部を介し、上層配線膜により接続されている配線構造を具備することを特徴とする半導体装置である。

【0024】(A') 本発明の請求項2に係る半導体装置の製造方法は、半導体基板上に、MOSトランジスタの電極配線に接続する第1の配線パターンと、第1配線パターンに比べ大面積を持ちかつ第1配線パターンと接続されていない第2の配線パターンとを有する下層配線膜を形成する工程と、下層配線膜を被覆する層間絶縁膜を形成する工程と、該層間絶縁膜にプラズマエッチング法により第1及び第2配線パターンに達する開口部を形成する工程と、開口部を形成した前記層間絶縁膜上に上層配線膜を堆積し、前記層間絶縁膜の開口部を介し上

層配線膜により第1及び第2配線パターンを接続する工程とを、含む請求項1記載の半導体装置の製造方法である。

【0025】なお請求項1及び請求項2において、第1配線パターンに比べ大きい第2配線パターンの面積が、この半導体装置内に形成された最小のMOSトランジスタのゲート面積の400倍以上であることは、本発明を適用する望ましい実施態様である。

【0026】また請求項1及び請求項2において、第1及び第2配線パターンは、良導体の材質であることが望ましく、また良導体の材質は、アルミ(Al)、アルミ合金、Ti、Ti合金、Cu、Cu合金、Au等の金属材料であることが望ましい。

【0027】(B) 本発明の請求項3に係る製造方法は、MOSトランジスタが形成された半導体基板と、該基板上に形成された下層配線膜と、該下層配線膜を被覆する層間絶縁膜と、該層間絶縁膜上に形成された上層配線膜とを有する多層配線構造の半導体装置の製造方法において、MOSトランジスタが形成された前記半導体基板上に所定のパターンを有する下層配線膜を形成する工程と、該下層配線膜上に前記層間絶縁膜に比べプラズマエッチングレートの小さい保護膜を形成する工程と、該保護膜を形成した下層配線膜を被覆する層間絶縁膜を形成する工程と、前記保護膜をエッチングストッパーとして、該層間絶縁膜にプラズマエッチング法により開口部を形成する工程と、該開口部底部に残留する前記保護膜を非プラズマ雰囲気のエッチング手法により選択的に除去する工程とを含むことを特徴とする半導体装置の製造方法である。

【0028】なお、請求項3において、前記保護膜をエッチングストッパーとして、層間絶縁膜にプラズマエッチング法により開口部を形成する工程は、前記保護膜が残留する条件のプラズマエッチング法により開口部を形成する工程をいう。

【0029】また請求項3において、下層配線膜上に前記保護膜を形成する工程において、該保護膜が下層配線膜上全体に形成されても良いし、また保護膜が、前記層間絶縁膜の開口部底部に露出する下層配線膜上のみに形成されても良い。

【0030】また請求項3において、前記保護膜が、前記半導体基板に形成されたMOSトランジスタの最小ゲート面積に対して400倍以上の開口面積の開口部底部に、選択的に形成されることは望ましい実施態様である。

【0031】また請求項3において、前記保護膜の面積が、開口部底部の面積のうち該保護膜が被覆していない部分の面積が、前記半導体基板に形成されたMOSトランジスタの最小ゲート面積に対して400倍未満となるよう設定されることは、望ましい実施態様である。

【0032】また請求項3において、前記保護膜が絶縁

性材料であり、(1) 該絶縁性材料が窒化シリコン膜等の無機材料、或いは(2) 該絶縁性材料がポリイミド等の有機材料であることは、それぞれ望ましい実施態様である。

【0033】また請求項3において、前記保護膜が高抵抗体であることは、実施態様の一つである。また高抵抗体がポリシリコン、アモルファスシリコン等のシリコン系材料であることは、望ましい実施態様である。

【0034】(C) 本発明の請求項4に係る半導体装置は、MOSトランジスタが形成された半導体基板と、該基板上に形成された下層配線膜と、該下層配線膜を被覆する層間絶縁膜と、該層間絶縁膜上に形成された上層配線膜と、最上層に形成されたパッド電極部とを有する多層配線構造の半導体装置において、MOSトランジスタのゲート電極配線に接続し、前記多層配線構造内を通り前記最上層のパッド電極部に至る引き出し配線は、下層配線膜から上層配線膜に層間絶縁膜の接続孔を介して接続され、該接続孔の開口面積が、上層または下層の配線膜のより広い方の配線幅を一边とする正方形の面積と同等であることを特徴とする半導体装置である。

【0035】なお、請求項4において、下層配線膜及び上層配線膜上の前記接続孔の中心位置は、最上層に形成されるパッド電極部の直下領域以外であることは、望ましい実施態様である。

【0036】

【作用】

(A, A') 本発明の請求項1及び2に係る作用について説明する。

【0037】下層配線膜は、MOSトランジスタの電極配線と接続する第1配線パターンと、パッド電極部またはその直下領域等に位置する大面積の第2配線パターンとを有し、下層配線膜形成に際しては、第1及び第2配線パターンは、互いに電気接続されない状態で形成される。次に層間絶縁膜を全面に堆積し、プラズマエッチング法により、下層配線膜に達する所定の大きさと個数の開口部を形成する。この開口部形成工程においては、従来技術と同様、RIE等のオーバエッチングや、レジスト剥離に伴うプラズマ電荷が、それぞれの開口部から下層配線膜に注入される。この際、本発明においては、多量のプラズマ電荷が注入される大面積の第2配線パターンは、第1配線パターンと電氣的に分離されていて、注入された電荷は、MOSトランジスタのゲート電極に流入しない。このためMOSトランジスタのプラズマ電荷注入ダメージを防止できる。次に上記開口部を形成した層間絶縁膜上に上層配線膜を形成することにより、下層配線膜の第1及び第2配線パターンは、前記開口部を介して互いに接続される(例えば図1(b)または図7(a)参照)。

【0038】なお前記プラズマ電荷注入による不良発生の程度は、大面積の第2配線パターンとMOSトランジ

スタのゲート面積とのアンテナ比が大きいほど顕著なことが分かっており、特にその比が400倍以上になると、実用上問題が生ずることが、これまでの経験(試行を含む)で確認されている。従って第2配線パターンの面積がゲート面積の400倍以上のときは、本発明を適用することが望ましい。

【0039】(B) 請求項3に係る製造方法は、所定のパターンを有する下層配線膜の全面または開口部底部の露出面に、プラズマエッチングのオーバエッチング時の電荷注入を防止する保護膜を形成する。その後、この保護膜をエッチングストッパーとして層間絶縁膜にプラズマエッチング法により所定の大きさと個数の開口部を形成する。この開口部形成工程において、開口底の下層配線膜は保護膜が被覆されているので、オーバエッチング時にプラズマ雰囲気にも曝されても、プラズマ電荷は保護膜に妨げられ、下層配線膜に注入されない。

【0040】なお、プラズマ電荷注入による不良発生の程度は、前述の通り、プラズマ電荷が注入される開口部の面積が、MOSトランジスタのゲート面積の400倍以上になると、実用上問題が生ずることが、経験的に確認されている。従ってゲート面積の400倍以上の開口面を持つ大面積開口部では、少なくとも保護膜で被覆されていない面積が、該ゲート面積の400倍未満になるように、保護膜を形成することが望ましい。すなわち本発明は、大面積開口部の下層配線膜に、選択的に保護膜を被覆することにより、プラズマ雰囲気にも直接被曝される面積を制限し、プラズマ電荷注入量を低減し、MOSトランジスタを保護するものである。

【0041】(C) 本発明の請求項4に係る半導体装置の作用について説明する。

【0042】従来技術では、最上層のパッド電極部直下領域においては、各層の配線パターンは、最上層のパッド電極面積とほぼ等しい大面積であり、また該領域では、層間絶縁膜の接続孔の開口面積も大面積となっている。そのため、プラズマエッチング法により、層間絶縁膜に接続孔を開く工程のオーバエッチングに際し、パッド電極直下領域の大面積の開口部(接続孔)から多量のプラズマ電荷注入が行なわれ、MOSトランジスタの損傷等の原因となっていた。これに対し本発明では、下層の各配線パターンには、パッド電極面積とほぼ等しい大面積パターンを設けず、従って層間絶縁膜に形成される接続孔の開口面積を、前述のように配線幅を一边とする正方形の面積と同等とすることが可能となり、接続孔からのプラズマ電荷注入量を大幅に低減できる。

【0043】なお、従来技術では、パッド電極直下領域に該パッド電極とほぼ等しい開口面の接続孔を設けたが、本発明における接続孔の中心位置は、前記パッド電極直下領域以外とすることが、平坦度などのボンディング性の要求を満たすためには望ましい。

【0044】

## 【実施例】

(A) 以下本発明の請求項1に係る半導体装置の第1の実施例について、図1を参照して説明する。

【0045】図1は、該半導体装置の実施例の要部を模式的に示す図面で、同図(a)は、同図(b)に示すB-B'線断面図、同図(b)は平面図である。

【0046】図1に示す半導体装置は、MOSトランジスタ(図示せず)が形成された半導体基板11と、コンタクトホール等(図示せず)を有し、多層配線の下敷きとなる酸化膜(SiO<sub>2</sub>膜)12上に形成された下層配線膜33a及び33bと、下層配線膜を被覆する層間絶縁膜34と、該絶縁膜34上に形成される上層配線膜36a及び36bを有す。

【0047】次に本発明の特徴であるが、下層配線膜33は、前記MOSトランジスタの電極配線(図示せず)と接続する第1の配線パターン33bと、第1配線パターン33bに比べ大面積の第2の配線パターン33aとを有し、かつ第1及び第2配線パターン33b及び33aは、下層配線膜では接続されていないで、層間絶縁膜34の開口部37b(図5(g)参照)を介し、上層配線膜36bにより接続されている。なお図1(b)の平面図は、便宜上第1、第2配線パターン33b、33a及び両配線パターンを開口部37bを介して接続する上層配線膜36b部分のみを示す。

【0048】(A') 次に第1の実施例の半導体装置を例とし、請求項2に係る製造方法について説明する。

【0049】図2(a)において、半導体基板11上に多層配線の下敷きとなる酸化膜12を形成する。次に図2(b)において、Al膜33を通常のスパッタリング法により堆積する。

【0050】次に堆積されたAl膜33に、通常のリソグラフィ技術にて所定の配線パターンを有するレジストマスク(図示せず)を形成し、通常のリソグラフィによりエッチングして、図3に示すような下層Al配線パターン33が得られる。図3(c')は、該パターンの平面図、図3(c)はCC'線断面図を示す。

【0051】下層Al配線パターン33は、パッド電極部またはその直下領域等に位置する大面積の第2配線パターン33a及びMOSトランジスタのゲート電極配線に接続する第1配線パターン33bとを有し、かつ第1及び第2配線パターンは、図に示すように、互いに接続されていない。

【0052】次に上記レジストマスク(図示せず)を剥離した後、図4(d)に示すように、プラズマCVD装置にて、プラズマシリコン酸化膜34を堆積し、図4(e)に示すようにエッチバック用レジスト35を塗布する。

【0053】次にエッチバックを行ない、図5(f)に示すように平坦化された層間絶縁膜34を形成する。次に通常のリソグラフィ法とリソグラフィ法により、層

間絶縁膜34に、所定の大きさ個数の開口部(ビアホール)を形成する。すなわち図5(g)において、開口部37aは、パッド等の大面積の第2配線パターン33a上に形成される開口面積の大きい開口部であり、開口部37bは、第2配線パターン33aと、MOSトランジスタの電極配線に接続する第1配線パターン33bとを結ぶための開口部である。

【0054】次に図6(h)に示すように、通常のスパッタ法により上層Al膜36を堆積し、通常のリソグラフィ法、リエッチ法により、該Al膜36をパターンニングし、図6(i)で示すように、上層配線パターン36a、36bを形成する。この時、開口部37bを埋め込む上層配線パターン36bによって、下層配線パターンの第1及び第2配線パターンは接続される(図1(b)参照)。

【0055】図7は、本発明の請求項1に係る第2の実施例の要部を示す図面で、図7(b)は平面図、図7(a)はDD'線断面図である。なお、図1ないし図6と同符号は同一部分を表わす。この実施例では、前記実施例と同様、下層配線膜の大面積の第2配線パターン33aと、MOSトランジスタの電極配線に接続する第1配線パターン33bとは、下層配線膜では互いに接続されていない。前記実施例と異なる点は、層間絶縁膜34に形成され、かつ第2配線パターン33aに達する開口部37aと、第1配線パターン33bに達する開口部37bとの2つの開口部を介し、両開口部に埋め込まれる上層配線膜36によって、第1、第2配線パターン33a及び33bが互いに接続されることである。

【0056】上記の第1及び第2の実施例からも明らかのように、下層配線パターンを形成する工程では、大面積の第2配線パターンと、MOSトランジスタの電極配線に接続する第1配線パターンとは、互いに接続されていない状態で形成され、その後、層間絶縁膜を堆積、該絶縁膜に開口部(ビアホール)を形成するまでは、両配線パターンは分離されており、その後上層配線膜を形成することにより、接続されることを特徴とする。

【0057】これにより、層間絶縁膜に開口部を形成するプラズマエッチング工程において、大面積の第2配線パターンをアンテナとして多量のプラズマ電荷注入があっても、MOSトランジスタ素子へ該電荷が到達することを防止できる。

【0058】これにより、回路の都合上、保護素子が設置できない場合において、以下の効果が確認された。すなわち、(1)MOSトランジスタ素子のゲート破損や、特性変動が防止され、5~10%の歩留まりが向上した。(2)従来のプラズマ電荷注入ダメージを受けた製品に比べ、寿命が2~5倍伸びた(特性が10%変動するまでの時間を寿命とする)。

【0059】(B) 以下本発明の請求項3に係る半導体装置の製造方法の実施例について、図8ないし図10



を参照して説明する。

【0060】図8(a)において、MOSトランジスタ及び配線下地絶縁膜(図示せず)の形成された半導体基板41上に、通常のスパッタ法により、下層配線金属膜として、 $1.0\mu\text{m}$ 厚の $\text{Al}-1\%\text{Si}-0.5\%\text{Cu}$ (以下単に $\text{Al}$ 膜と呼称)膜42を形成した後、該配線金属膜42上に、後述のプラズマ雰囲気からの電荷注入を防止する保護膜43として、ポリイミド樹脂を塗布し、所定の熱処理( $100^\circ\text{C}30\text{分}+250^\circ\text{C}30\text{分}+350^\circ\text{C}60\text{分}$ ,  $\text{N}_2$ 中)を行ない、厚さ $0.4\mu\text{m}$ のポリイミド膜(保護膜)43を形成する。続いて通常のフォトリソグラフィ法(フォトレジスト44をマスク)と $\text{RIE}$ 法とにより該 $\text{Al}$ 膜42と該ポリイミド膜43を連続的に加工し、所定のパターンを有する下層配線膜を形成した。

【0061】次に図8(a)において、プラズマ $\text{O}_2$ ・ライト・アッシング(アッシング量 $0.2\mu\text{m}$ )と通常のレジスト剥離液により、選択的にフォトレジスト44を剥離した後、図8(b)に示すように、通常のプラズマ $\text{CVD}$ 法により、層間絶縁膜として $1.0\mu\text{m}$ 厚のシリコン酸化膜45を形成する。続いて通常のフォトリソグラフィ法により、所定の開口パターンを有するフォトレジストマスク46を形成する。

【0062】次に図9(c)に示すように、 $\text{RIE}$ 法(反応ガス $\text{SF}_6/\text{CHF}_3/\text{He}=10/50/150\text{sccm}-650\text{W}-2.0\text{Torr}$ )で、保護膜43をエッチングストッパーとして、50%のオーバ・エッチングを行ない、層間絶縁膜45に所定(例えばパッド電極部等の大面積)の開口部47等を形成する。

【0063】図9(d)に示すように、最後にプラズマ $\text{O}_2$ ・ライト・アッシング(アッシング量 $0.1\mu\text{m}$ )と非プラズマ雰囲気のおゾン $\text{O}_2$ アッシング法で、フォトレジストマスク46と、開口部47の底部に残存するポリイミド膜43を除去し、所定の開口部形成を完了する。

【0064】なお、上記実施例においては、保護膜43は、下層配線膜42上のほぼ全面に形成されているが、少なくとも半導体基板に形成されたMOSトランジスタの最小ゲート面積の400倍以上の開口面積の開口部形成領域に選択的に形成されていれば良い。

【0065】また図10にその例を示すように、保護膜43による被覆面積としては、開口部47の底面のうち、該保護膜43が被覆していない部分48の面積(すなわち $\text{RIE}$ 開口時、下層配線膜42が露出する部分)が前記最小ゲート面積に対して400倍未満となれば良いことも経験(試行を含む)により確認されている。

【0066】また保護膜43の形成工程としては、実施例では下層配線用 $\text{Al}$ 膜42を被着し、引き続いて保護膜43を塗布した後、下層配線パターンニングと同時にその形成を行なっているが、下層配線パターン形成後に別工程で保護膜の形成を行なっても良いことは言うまでも

ない。例えば最小ゲート面積に対し400倍以上の開口面積を有する開口部のみに保護膜を形成するようにしても差支えない。

【0067】さらに、保護膜の材質としては、実施例ではポリイミド膜を用いたが、プラズマ雰囲気中の開口時に、下層配線膜へのプラズマ電荷注入が阻止ないし制限できれば良く、他の有機系或いは無機系の絶縁性材料か、或いはポリシリコン、アモルファスシリコンなどシリコン系の高抵抗体でも良いことは言うまでもない。

【0068】また層間絶縁膜の開口法としては、実施例では $\text{RIE}$ 法であったが、プラズマ雰囲気中で半導体基板を処理するその他のエッチング装置を使用する方法でも良い。

【0069】また保護膜を除去する方法としては、実施例では、オゾン $\text{O}_2$ アッシング法であったが、非プラズマ雰囲気中で半導体基板を処理する除去法であれば良いことは、言うまでもない。

【0070】請求項3に係る発明は、前述のように下層配線膜を被覆する層間絶縁膜を、 $\text{RIE}$ 等プラズマ雰囲気中でエッチング開口する場合(特にオーバエッチング時)、プラズマ雰囲気から該配線膜への電荷注入を防止するため、保護膜を形成したことを特徴としている。これにより、回路構成の都合等で保護素子が付加できない場合においても、(a)MOSトランジスタのゲート破壊や、特性変動が防止されるため、5~10%の歩留まり向上が実現され、(b)従来の電荷注入によるダメージを受けていた製品に比較して、寿命(10%特性変動寿命)が2~5倍となる等の効果が確認された。

【0071】(C) 以下本発明の請求項4に係る半導体装置について、発明するに至った知見及び実施例について説明する。

【0072】前述の従来技術の問題点である $\text{RIE}$ ダメージの低減のためには、下層 $\text{Al}$ 配線膜に注入されるプラズマ注入電荷量を減少させることが有効である。一方でこの注入電荷量は、オーバエッチングされるとき、プラズマ雰囲気に曝される下層 $\text{Al}$ 配線膜の露出面積にほぼ比例するので、接続孔パターン(開口パターンまたはヴィアホールパターンと同じ)の合計面積の低減、すなわちアンテナ効率を低下させることが望ましい。この観点からは、 $\text{RIE}$ ダメージ低減に対して、微細な接続孔の開口と、パッド電極部直下の大面積接続孔の開口とを、同時に同一の $\text{RIE}$ 工程にて施すのは好ましくない。

【0073】しかしながら従来技術では、最上層のパッド電極としてのボンディング性等の要求を満たすための該電極の大面積パターン化が、最上層より下層の各配線膜パターンにも及び、その結果、各下層の接続孔を $\text{RIE}$ 開口するときに、各々の層の大開口面積の接続孔パターンから、いたずらに多量の電荷注入を容認していた。

【0074】パッド電極直下での各下層の接続孔パター

ンを大面積化することは、本来ボンディング性等の要求に対し、不可欠条件ではないので、本発明においては、この各下層の接続孔を大面積化しないで、該接続孔の開口面積が、上層または下層のより広いほうの配線幅を一边とする正方形の面積と同等に留める。これにより、各下層の接続孔をR I Eで開口するときのそれぞれの電荷注入量は、大幅に低減され、R I Eダメージを低減することができる。

【0075】次に本発明の請求項4に係る半導体装置の一実施例を、図面を参照して、以下説明する。図11(a)は、該装置の要部を模式的に示す断面図(同図(b)のE E'線断面)、図11bはその平面図である。

【0076】符号51は、MOSトランジスタが形成された半導体基板、52は多層配線の下敷きとなる酸化膜( $\text{SiO}_2$ 膜)、54は第1の層間絶縁膜( $\text{SiO}_2$ 膜)、この層間絶縁膜54から見て、53は下層Al配線膜(以下(C)項の説明においては、第1層目のAl配線膜またはAl配線パターンと呼称)であり、56は上層Al配線膜(以下第2層目のAl配線膜またはAl配線パターンと呼称)である。第2の層間絶縁膜58から見て、第2層目のAl配線膜56及び第3層目のAl配線膜60は、特許請求の範囲記載の下層及び上層配線膜に該当し、第3層目の大面積のAl配線膜60pは、最上層のパッド電極である。

【0077】図11において、本発明の半導体装置の特徴は、最上層のパッド電極60pに至る引き出し配線は、MOSトランジスタのゲート電極配線に接続する第1層目のAl配線膜53を通り、第1の層間絶縁膜54の第1の接続孔57を介して、第2層目のAl配線膜56に接続され、さらに第2層目のAl配線膜56は、第2の層間絶縁膜58の第2の接続孔59を介して第3層目のAl配線膜60に接続され、第3層目のAl配線膜60の延在部である最上層のパッド電極部60pに至り、かつ接続孔57または59の開孔面積は、上層または下層の配線膜のより広い方の配線幅を一边とする正方形の面積と同等である。

【0078】次に上記半導体装置の製造方法について、工程順にその概要について説明する。

【0079】図12(a)において、まずSi基板51上にMOSトランジスタからなる回路パターン(図示せず)を形成し、この上に多層配線の下敷きとなる酸化膜52を、厚さ800nm、CVD法で堆積し、レジストをマスクにR I E法で、酸化膜52へ所望のコンタクトホール(図示せず)を形成する。

【0080】次に第1層目のAl膜、厚さ800nmをスパッタ法で堆積した後、レジストをマスクにR I E法にて該Al膜をパターンニングして、第1層目のAl配線パターン53を形成する。次に第1の層間絶縁膜の酸化膜( $\text{SiO}_2$ )54を全面に堆積する。次にこの酸化膜5

4に対し、レジストをマスクにして、第1層目のAl配線膜の引き出し用の第1の接続孔57を、R I Eで開口形成する。

【0081】ここで、第1の接続孔57は、従来技術において、パッド電極部等の上層の大面積パターンに、直接下層の第1層目のAl配線パターンを結ぶ接続孔に該当するが、本発明における第1接続孔57の開口面積は、上下の周辺配線膜のより広いほうの配線幅を一边とする正方形の面積とほぼ同等であり、その幅は、たかだか5~10 $\mu\text{m}$ 程度である。従来技術中の該当箇所では、直上のパッド電極部等の大面積パターンに大きさを近づけた結果、一边50~100 $\mu\text{m}$ と非常に大きくなっていたので、本発明での接続孔の開口面積との違いは歴然である。これら接続孔を通して、R I E工程時に注入される電荷量は、前述のように、接続孔の開口面積に比例するため、本発明では、従来技術に比べ、電荷注入量は1/25~1/400まで低減可能であると見積もられる。

【0082】次に本発明実施例の工程説明に戻り、図12(b)において、レジスト(図示せず)を剥離した後、第2層目のAl膜、800nm厚を通常のスパッタ法で堆積し、レジストをマスクとして該Al膜をR I E法でパターンニングし、第2層目のAl配線パターン56を形成する。次に第2の層間絶縁膜の酸化膜( $\text{SiO}_2$ )58をCVD法で堆積して、この酸化膜58に対して、レジストをマスクとして、第2層目のAl配線膜56の引き出し電極を埋め込む第2の接続孔59をR I E法で開口する。

【0083】ここで第2の接続孔59は、パッド等上層の大面積パターンに、第2層目のAl配線膜を直接接続する従来の接続孔に該当するが、本発明においては第1の接続孔57の場合と同様に、その開口面は、たかだか一边5~10 $\mu\text{m}$ 長に過ぎず、従来技術での該当接続孔の一边50~100 $\mu\text{m}$ に比較すると面積比で1/25~1/400と、開口面積の大幅な低減化が見込まれる。

【0084】次に本発明実施例の工程説明に戻ると、図11(a)及び(b)において、第3のAl膜60を全面にスパッタ法で堆積して、レジストをマスクに、第3層目のAl配線膜60をR I E法により、パターン形成する。続いてトップパッシベーション膜として、 $\text{SiON}$ 膜61を1000nm、CVD法で堆積し、これに対してレジストをマスクとして $\text{SiON}$ 膜61をウェットエッチング法にて開孔して、第3の接続孔62を形成する。

【0085】ここで第3の接続孔62は、特にパッドとして機能する箇所では、底面のAlパッド電極部60pは、要求されるボンディング性に鑑みて、一边50~100 $\mu\text{m}$ と大面積パターンとなることが余儀なくされる。この開口方法には、電荷注入を伴うR I E法は採用せず、電荷注入フリーであるウェットエッチング法を採っているので、本第3の接続孔開口工程での電荷注入の可能性はない。



【0086】なお、図11に示すように、本実施例では、パッド電極部60pと直接接続する下層の第2の接続孔59及び第1の接続孔57は、第3層目のAl膜のパッド電極部60pの直下領域外に存在しているが、これはボンディング性に鑑みて、パッド電極部60pの面内の段差発生を回避するため、望ましい実施態様である。

【0087】図11(b)の平面図からも明らかなように、第3層目のAl配線膜のパッド電極部60pと従来直接接続していた第2の接続孔59及び第1の接続孔57の存在する領域は、元来存在しているパッド電極の引き出し配線60及び56領域内にほとんど留まるので、第2の接続孔59及び第1の接続孔57がパッド電極部60p外の領域に位置することに伴うレイアウト面積の増大は殆ど問題にならない。

【0088】上記実施例では、第1及び第2接続孔57及び59は、パッド電極部直下領域以外の位置に設けられているが、ボンディング性に支障がなければ、図13に示すように、第3層目のAl膜の大面积パターン60の直下領域に該接続孔59及び57があっても差支えない。なお図13において図11(b)と同符号は、同一部分または対応する部分を表わす。

【0089】以上に本発明の請求項4に係る一実施例を記したが、本請求項4に係る発明は、前記実施例範囲内での適用に限定されるものでは到底なく、本発明の骨子を逸脱しない範囲での種々の変更または異種材料工程の組み合わせによっても、差支えないことは勿論である。

【0090】例えば図14に、この一例を示す。同図ではパッド電極部60pからの引き出し配線上での第1及び第2接続孔57及び59が、鉛直方向に連なって配置されている例である。

【0091】本発明(請求項4)の効果によって、多層配線の各層ごとの接続孔をRIEにて開口するときに発生する電荷注入量が、前記のように1/25~1/400程度減少する。

【0092】この効果によってMOSトランジスタのゲート電極に到達する電荷量も同様に減少し、トランジスタ特性の変動や、ゲート酸化膜破壊等の一連の多層工程ダメージが低減する。したがってMOSトランジスタの歩留まりが、コストアップを伴うことなく、著しく増加し、製品の歩留まり、信頼性向上に大きく寄与することができる。本実施例では、約10%の歩留まりの向上が確認された。またMOSトランジスタの寿命については、強制寿命試験によれば1.5~2.0倍となった。

【0093】なお、本発明(請求項4)によれば、特別な装置や工程の追加を伴うことなく、かつ現状の技術レベル範囲内にて、安価かつ容易に、上記のメリットを甘受可能であるところに大きな特長がある。

【0094】

【発明の効果】これまで詳述したように、本発明によ

り、MOSトランジスタを含む多層配線構造の半導体装置において、層間絶縁膜を介して上層及び下層配線膜を結ぶ開口部(接続孔)を、プラズマエッチング法(例RIE)により形成するに際し、パッド電極部領域等の大きな開口面積の開口部から注入されるプラズマ電荷に起因するMOSトランジスタの損傷を低減し、歩留まり及び信頼性の向上が実現できる半導体装置及びその製造方法を提供することができた。

【図面の簡単な説明】

【図1】本発明の請求項1に係る半導体装置の第1の実施例の図面で、同図(a)は断面図、同図(b)は平面図である

【図2】同図(a)及び(b)は、本発明の請求項2に係る半導体装置の製造方法の一例を工程順に示す断面図である。

【図3】図2(b)に続く製造工程を示す同図(c)は断面図、同図(c')は平面図である。

【図4】同図(d)及び(e)は、図3(c)に続く製造工程を示す断面図である。

【図5】同図(f)及び(g)は、図4(e)に続く製造工程を示す断面図である。

【図6】同図(h)及び(i)は、図5(g)に続く製造工程を示す断面図である。

【図7】本発明の請求項1に係る半導体装置の第2の実施例を示し、同図(a)は断面図、同図(b)は平面図である。

【図8】同図(a)及び(b)は、本発明の請求項3に係る半導体装置の製造方法の一実施例を工程順に示す断面図である。

【図9】同図(c)及び(d)は、図8(b)に続く製造工程を示す断面図である。

【図10】本発明の請求項3に係る半導体装置の製造方法の他の実施例を示す断面図である。

【図11】本発明の請求項4に係る半導体装置の一実施例を示す図面で、同図(a)は断面図、同図(b)は平面図である。

【図12】同図(a)及び(b)は、図11に示す半導体装置の製造方法を工程順に説明するための断面図である。

【図13】本発明の請求項4に係る半導体装置の他の実施例を示す平面図である。

【図14】本発明の請求項4に係る半導体装置のその他の実施例を示す図面で、同図(a)は断面図、同図(b)は平面図である。

【図15】同図(a)は従来の半導体装置の製造方法の一例を工程順に説明するための断面図である。

【図16】図15(a)に続く製造工程を示す図面で、同図(b)は断面図、同図(b')は平面図である。

【図17】同図(c)及び(d)は、図16(b)に続く製造工程を示す断面図である。

【図18】同図(e)及び(f)は、図17(d)に続く製造工程を示す断面図である。

【図19】同図(g)は、図18(f)に続く製造工程を示す断面図である。

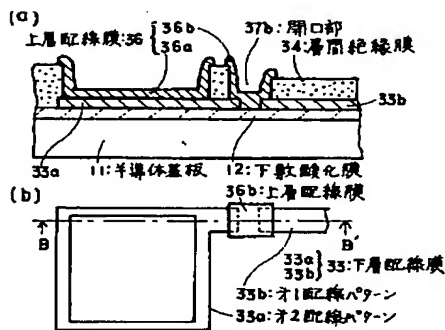
【符号の説明】

11, 41, 51	半導体基板
12, 52	酸化膜(多層配線の下敷)
33	下層配線Al膜(パターン)
33a	第2配線パターン
33b	第1配線パターン
34	層間絶縁膜
35	エッチバック用レジスト
36, 36a, 36b	上層Al配線膜(パターン)
37a, 37b	開口部(接続孔)
42	下層Al配線膜
43	保護膜

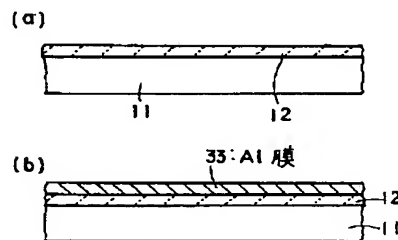
44, 46	
45	
47	
53	
05	ン)
54	
56	
ン)	
57	
10 58	
59	
60	
ン)	
60 p	
15 61	
62	

フォトリソトマスク
層間絶縁膜
開口部(接続孔)
第1層目Al配線膜(パター
第1の層間絶縁膜
第2層目Al配線膜(パター
第1の開口部(接続孔)
第2の層間絶縁膜
第2の開口部(接続孔)
第3層目Al配線膜(パター
最上層パッド電極部
トップパッシベーション膜
第3の開口部(接続孔)

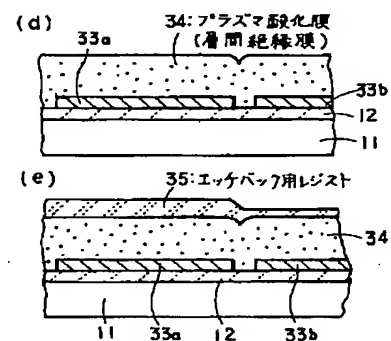
【図1】



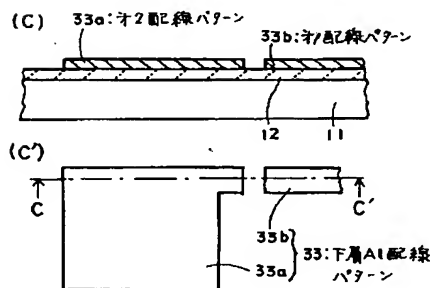
【図2】



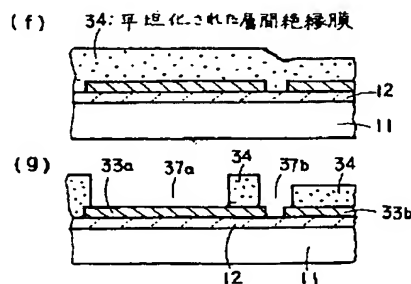
【図4】



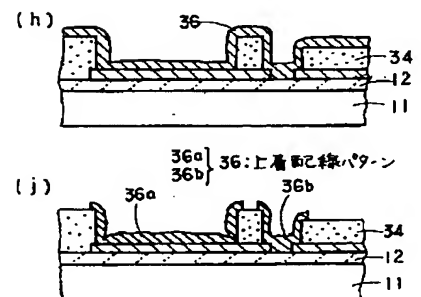
【図3】



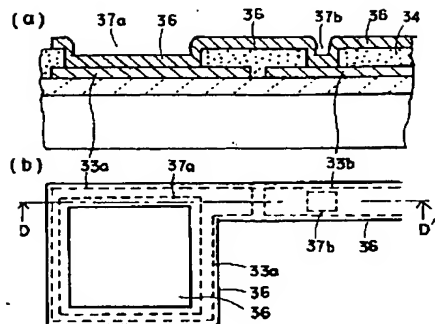
【図5】



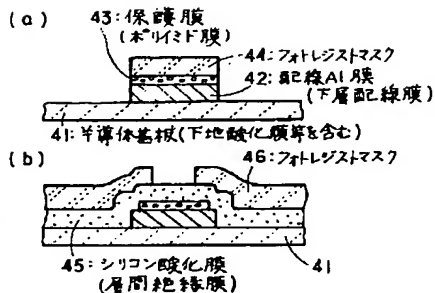
【図6】



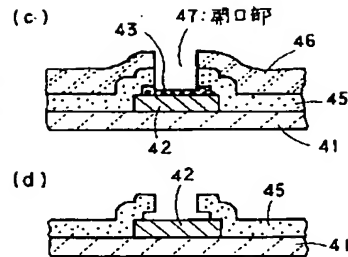
【図 7】



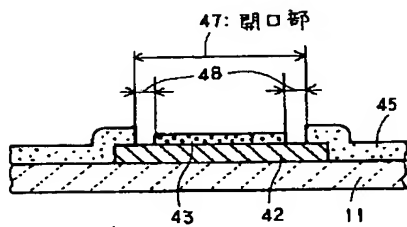
【図 8】



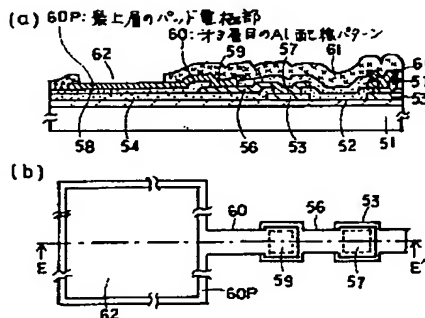
【図 9】



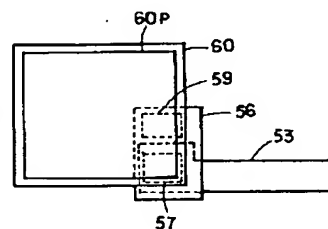
【図 10】



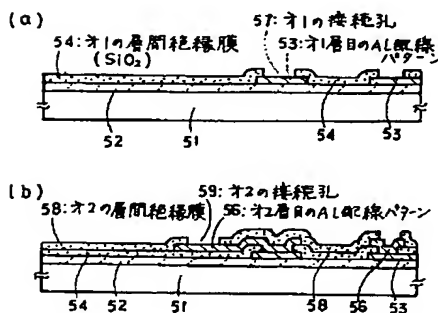
【図 11】



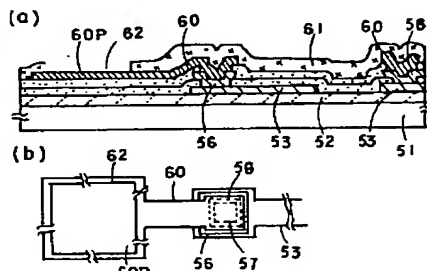
【図 13】



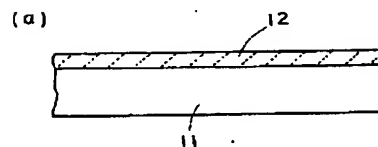
【図 12】



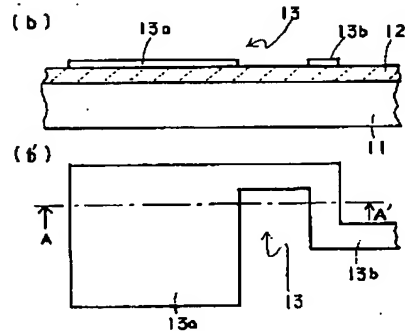
【図 14】



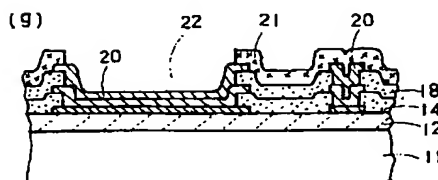
【図 15】



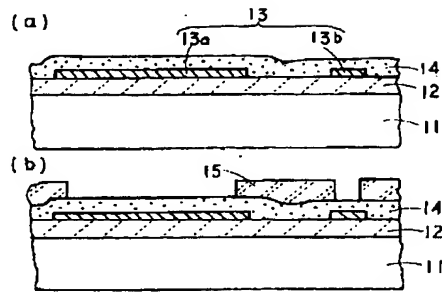
【図 16】



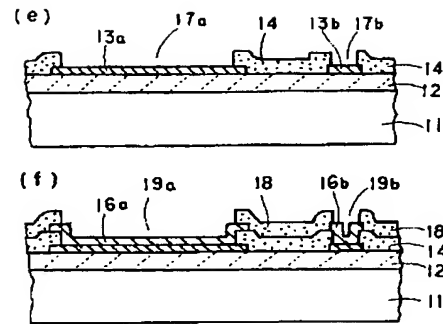
【図 19】



【図 1 7】



【図 1 8】



フロントページの続き

(51) Int. Cl. <sup>6</sup> H 0 1 L 21/822	識別記号	庁内整理番号	F I	技術表示箇所
			H 0 1 L 27/04	H
(72) 発明者 山本 富恵 神奈川県川崎市幸区小向東芝町 1 株式会 社東芝多摩川工場内		25	(72) 発明者 八尋 和之 神奈川県川崎市幸区小向東芝町 1 株式会 社東芝多摩川工場内	

(19) Japan Patent Office (JP)

(12) Publication of Patent Application (A)

(11) Publication Number of Patent Application: Hei-7-235541

(43) Date of Publication of Application: September 5, 1995

(51) Int. Cl.<sup>6</sup>

H0 1L 21/3205

21/768

27/04

Identification Number

Intraoffice Reference Number

FI

H0 1L 21/88

21/90

Technique Indication Place

Z

B

Request for Examination: not made

Number of Claims: 4 FD (12 pages in total)

To be continued to the last page

(21) Application Number: Hei-6-47757

(22) Application Date: February 22, 1994

(71) Applicant: 000003078

Toshiba Corp.

72, Horikawa-cho, Saiwai-ku, Kawasaki City, Kanagawa Pref.

(72) Inventor: Ken-ichi Tomita

c/o Tamagawa Factory, Toshiba Corp.

1, Komukai Toshiba-cho, Saiwai-ku, Kawasaki City, Kanagawa Pref.

(72) Inventor: Koichi Mase

c/o Tamagawa Factory, Toshiba Corp.

1, Komukai Toshiba-cho, Saiwai-ku, Kawasaki City, Kanagawa Pref.

(72) Inventor: Akira Ishiguro

c/o Tamagawa Factory, Toshiba Corp.

1, Komukai Toshiba-cho, Saiwai-ku, Kawasaki City, Kanagawa Pref.

(74) Agent: Patent Attorney, Eiji Morota

To be continued to the last page

(54) [Title of the Invention] SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD OF IT

(57) [Abstract]

[Purpose] In a semiconductor device of a multilayer wiring structure mounted with a MOS transistor, when opening a large opening area via hole (for example, a connection hole in a region just below a pad) in an interlayer insulation film



deposited on a lower layer wiring film by a plasma etching method, although a large amount of plasma electric charge is implanted to the lower layer wiring film to thereby exert RIE damages such as characteristic change of the MOS element and gate destruction, these are prevented.

[Constitution] (1) A large area pattern of the lower wiring film and a wiring pattern connected to a gate electrode are not connected in the lower wiring film and, after opening a connection hole, both the patterns are connected by an upper layer wiring film through the connection hole. (2) A protection film such as polyimide is coated on the lower layer wiring film and, after opening a connection hole in the insulation film with the protection film being made an etching stopper, the remaining protection film is removed by an etching method of non-plasma atmosphere. (3) An opening area of a connection hole of a gate electrode leader wiring reaching to an uppermost layer pad is reduced to an area equivalent to a square whose one side is made an adjacent wiring width.

[Claims]

[Claim 1] A semiconductor device of a multilayer wiring structure having a semiconductor substrate formed with a MOS transistor, a lower layer wiring film formed on the substrate, an interlayer insulation film coating the lower layer wiring film, and an upper layer wiring film formed on the interlayer insulation film,

characterized by possessing a wiring structure in which the lower layer wiring film has a 1st wiring pattern connected to an electrode wiring of the MOS transistor and a 2nd wiring pattern whose area is large in comparison with the 1st wiring pattern, and the 1st and 2nd wiring patterns are not mutually connected in the lower layer wiring film and connected by the upper layer wiring film through an opening part of the interlayer insulation film.

[Claim 2] A manufacturing method of a semiconductor device set forth in claim 1, including a process of forming, on a semiconductor substrate, a lower layer wiring film having a 1st wiring pattern connected to an electrode wiring of a MOS transistor and a 2nd wiring pattern having a large area in comparison with the 1st wiring pattern and not connected to the 1st wiring pattern, a process of forming an interlayer insulation film coating the lower layer wiring film, a process of forming, in the interlayer insulation film, an opening part reaching to the 1st and 2nd wiring patterns by a plasma etching

method, and a process of depositing an upper layer wiring film on the interlayer insulation film formed with the opening part, thereby connecting the 1st and 2nd wiring patterns by the upper layer wiring film through the opening part of the interlayer insulation film.

[Claim 3] A manufacturing method of a semiconductor device of a multilayer wiring structure having a semiconductor substrate formed with a MOS transistor, a lower layer wiring film formed on the substrate, an interlayer insulation film coating the lower layer wiring film, and an upper layer wiring film formed on the interlayer insulation film,

characterized by including a process of forming, on the semiconductor substrate formed with the MOS transistor, a lower layer wiring film having a predetermined pattern, a process of forming, on the lower layer wiring film, a protection film whose plasma etching rate is small in comparison with the interlayer insulation film, a process of forming the interlayer insulation film coating the lower layer wiring film formed with the protection film, a process of forming an opening part in the interlayer insulation film by a plasma etching method with the protection film being made an etching stopper, and a process of selectively removing the protection film remaining in a bottom part of the opening part by an etching method of non-plasma atmosphere.

[Claim 4] A semiconductor device of a multilayer wiring

structure having a semiconductor substrate formed with a MOS transistor, a lower layer wiring film formed on the substrate, an interlayer insulation film coating the lower layer wiring film, an upper layer wiring film formed on the interlayer insulation film, and a pad electrode part formed in an uppermost layer,

characterized in that a leader wiring connected to a gate electrode wiring of the MOS transistor and reaching to the pad electrode part of the uppermost layer while passing through the multilayer wiring structure is connected to the upper layer wiring film from the lower layer wiring film through a connection hole of the interlayer insulation film, and an opening area of the connection hole is equivalent to an area of a square whose one side is made a wiring width of wider one of the upper layer or lower layer wiring film.

[Detailed Description of the Invention]

[0001]

[Industrial Field of Application] The present invention relates to a semiconductor device having a multilayer wiring structure formed with a MOS transistor and a method of manufacturing it, and especially concerns a wiring structure capable of preventing, in an interlayer insulation film opening process by a plasma etching, a damage (injury) of the MOS transistor by a plasma electric charge implanted from an opening bottom of large area (of a pad or a connection hole

just below the pad, and so forth), and an opening process.

[0002]

[Prior Art] A conventional multilayer wiring structure of the semiconductor device and one example of a method of forming it are briefly mentioned, and hereunder it is explained especially about structures of a pad electrode part and a wiring including the pad electrode part and an opening process of an insulation film coating these large area wiring patterns by referring to the drawings.

[0003] In Fig.15(a), on a substrate 11 formed with the MOS transistor and so forth (not shown in drawing), an oxide film ( $\text{SiO}_2$ ) 12 becoming an underlay of a multilayer wiring is deposited in a thickness 800 nm by a CVD method. Although not shown in the drawing, a desired contact hole is opened by a plasma etching (e.g., RIE (Reactive Ion Etching)) with a photoresist being made a mask.

[0004] Next, a 1st layer Al - 1% Si - 0.5% Cu film (hereafter, referred to simply as Al film) is deposited in 800 nm on the oxide film 12 by a sputter method, and thereafter the Al film is patterned by the RIE method with the photoresist being made the mask, thereby forming a 1st layer Al wiring pattern 13. Fig.16(b) is its AA' line sectional view, and the same drawing (b') a plan view. A large area Al film (referred to also as pattern) 13a is a portion just on which a pad (Pad) electrode part (about 900 - 10000  $\mu\text{m}^2$ ) becoming a bonding face or a pad

electrode part (about  $3600\text{ }\mu\text{m}^2$ ) becoming a contact face of a characteristics measuring probe is deposited in a post process, or which becomes an opening part for an interlayer capacitor. An Al film 13b is an Al wiring film, of several  $\mu\text{m}$  in width, connected to ,e.g., an electrode wiring of the MOS transistor or an electrode of other element and, in this conventional example, it is supposed to be connected to the large area Al film 13a and connected to a gate electrode wiring of the MOS transistor.

[0005] Next, in Fig.17(c), a silicon oxide film ( $\text{SiO}_2$ ) becoming a 1st interlayer insulation film is formed in a thickness 1000 nm on the 1st layer Al wiring pattern 13 over its whole face by a plasma CVD method and, additionally as occasion demands, it is flattened by a usual resist etch back method, thereby forming a 1st interlayer insulation film 14.

[0006] Next, in the same drawing (d), in order to form an opening part in a predetermined position of the 1st interlayer insulation film 14 by a usual photolithography method, a positive type resist mask 15 is provided and, as shown in Fig.18(e), opening parts (referred to also as connection holes or via holes) 17a and 17b reaching to the 1st layer Al wiring pattern 13 are formed by the RIE method utilizing a usual plasma atmosphere.

[0007] Generally, the opening part 17a has a large opening face corresponding to the large area Al film 13a, and the opening



part 17b is a connection hole for further pulling out the 1st layer Al wiring film 13b to an upper layer while passing through the 1st interlayer insulation film 14 and is an opening whose size is about a wiring width. The opening parts 17a and 17b are simultaneously opened by the RIE method while using the same resist mask 15.

[0008] The RIE is performed with the Al wiring pattern 13 being made an etching stopper and, in view of a thickness of the interlayer insulation film 14 and a dispersion of an etching rate, there must be anticipated an over-etching of about 20 - 50% with respect to a usual just etching. Accordingly, even after the opening part has been opened and the Al wiring pattern has been exposed in an opening bottom face, the exposed face is exposed to the plasma atmosphere, so that the electric charge is supplied and implanted to the exposed face from the plasma. An amount of the electric charge implanted is approximately proportional to an exposed area of the Al wiring pattern 13. For this reason, the opening part of the large area Al film 13a functions as "antenna" collecting the electric charge in the plasma atmosphere.

[0009] The fact is known that the collected electric charge is transmitted to an element formed in a semiconductor substrate while passing through the Al wiring pattern 13 through an electrode wiring connected to the Al wiring pattern. Of course, since a large amount of electric charge is implanted

to such a wiring pattern having the large area opening part as mentioned above, although a protection element is added in a case of being possible, there are many cases where it cannot be added owing to circumstances in a circuit constitution, and further the protection element cannot be added to a capacitor pattern in a circuit.

[0010] If the Al wiring pattern 13 is connected to, for example, a gate electrode of the MOS transistor, the electric charge collected in the large area Al film 13a is accumulated in a gate part of this transistor, so that a high voltage is applied to the gate electrode. As a result, needless to say about a characteristic deterioration such as fluctuation of threshold voltage  $V_{th}$  of the Mos transistor, the MOS transistor itself is destroyed due to a dielectric breakdown of the gate oxide film in the worst case, so that it becomes a main cause of a reduction in yield.

[0011] Further, even in one of a case where a degree of the characteristic fluctuation is small and thus no defect occurs, or a case where the characteristic is regained in an anneal process after forming the opening part, a characteristic fluctuation rate of the MOS transistor element during a device operation is large, so that a life becomes as short as  $1/5 - 1/2$  in comparison with a case where there is no electric charge implantation damage of the RIE.

[0012] It is returned to the process explanation in the prior

art. The positive resist mask 15 is exfoliated by a plasma  $O_2$  ashing method (Fig.18(e)). Next, in Fig.18(f), a 2nd layer Al wiring film is deposited in a thickness 800 nm over the whole face by the sputter method. Next, this Al film is patterned by the RIE method with the photoresist being made the mask, thereby forming 2nd layer Al wiring patterns 16a, 16b. Next, a 2nd interlayer insulation film ( $SiO_2$  film, thickness 1000 nm) 18 is deposited by the CVD method. To this  $SiO_2$  film 18, there are opened a 2nd opening part (via hole) 19a just below the pad electrode part and a 2nd opening part (via hole) 19b, which is for an electrode to the 2nd layer Al wiring pattern 16b, by the RIE method with the photoresist being made the mask. [0013] In this process of opening the 2nd opening parts, similarly to a time of the process of opening the 1st opening parts, since the large area opening part 19a is formed for the 2nd layer Al wiring pattern 16a just below the pad electrode part, the electric charge implantation by the plasma at an over-etching time occurs also in this process of opening the 2nd opening parts, so that a fear for adverse effect to the MOS transistor is large.

[0014] Next, in Fig.19(g), after the photoresist has been exfoliated, a 3rd layer Al wiring film is deposited in a thickness 800 nm over the whole face by the sputter method, and a 3rd layer Al wiring pattern 20 is formed by the RIE method with the photoresist being made the mask. Subsequently, as

a top passivation film, an SiON film is deposited in a thickness 1000 nm over the whole face by the CVD method. Next, a top passivation SiON film 21 is opened by a wet etching method with the photoresist being made the mask, thereby forming a 3rd opening part 22.

[0015] Generally, in the process of opening the top passivation SiON film 21, since there is used the wet etching method having no possibility of the electric charge implantation, a damage generation of the MOS transistor due to the electric charge implantation does not occur.

[0016]

[Problems that the Invention is to Solve] As heretofore mentioned in detail, in the semiconductor device having the multilayer wiring structure containing the MOS transistor as a constitution element and having, as a constitution element, the laminated film comprising the lower layer wiring film and the upper layer wiring film which sandwich the interlayer insulation film, the opening part (referred to also as connection hole, via hole or through-hole) for connecting the lower layer wiring and the upper layer wiring is provided in the interlayer insulation film.

[0017] The opening part is formed by over-etching, in 20 - 50%, the interlayer insulation film deposited on the lower layer wiring film by the plasma etching method (e.g., RIE method) with the lower layer wiring film being made a stopper. At this

time, the lower layer wiring film in the opening part bottom face is, after having been exposed by the etching, consecutively exposed to the plasma atmosphere. By this, charged particles in the plasma are supplied and implanted to the lower wiring film through an exposed face of the opening bottom.

[0018] Usually, the lower layer wiring pattern located just below a bonding pad part and so forth has a large area corresponding to an area of the pad part, and an opening area of the opening part (via hole) opened in this face becomes a large area as well. For this reason, the above exposed large area wiring pattern functions as the antenna collecting the charge (electric charge) in the plasma during the plasma etching. The collected electric charge is carried to the element via the connected lower layer wiring film, and accumulated in a MOS structure part (gate electrode, gate oxide film or capacity comprising a channel region) of the MOS transistor for instance.

[0019] As a result, there arises a characteristic fluctuation of the threshold voltage  $V_{th}$  of the MOS transistor or the like and, in the worst case, the dielectric breakdown of the gate oxide film is generated to thereby make the device itself defective, so that it becomes a main cause of the reduction in yield.

[0020] Further, even if the characteristic fluctuation is small,

a life becomes extremely short in comparison with a case where there is no electric charge implantation damage (injury).

[0021] In recent years, as the semiconductor device is highly integrated, it is promoted to make also the MOS transistor of the constitution element fine. However, in contrast to this, it is difficult to reduce an area of the bonding pad functioning as the antenna collecting the electric charge or the like and, for this reason, the electric charge implantation damage becomes more liable to occur, so that a so-called RIE damage problem is actualized recently. That is, it is a very important problem to develop a technique capable of preventing the electric charge implantation damage.

[0022] The invention is one made in view of the above problems, and its object is to provide a semiconductor device of the multilayer wiring structure containing the MOS transistor and a manufacturing method of it, in each of which, when forming the opening part (via hole, connection hole) connecting the upper layer and lower layer wiring films through the interlayer insulation film by the plasma etching method (e.g., RIE method), the injury of the MOS transistor due to the plasma electric charge implanted from the opening part of the large opening area such as region just below the pad electrode part is reduced, so that improvements in yield and reliability can be realized.

[0023]

[Means for Solving the Problems]



(A) A semiconductor device according to claim 1 of the invention is a semiconductor device of a multilayer wiring structure having a semiconductor substrate formed with a MOS transistor, a lower layer wiring film formed on the substrate, an interlayer insulation film coating the lower layer wiring film, and an upper layer wiring film formed on the interlayer insulation film, characterized by possessing a wiring structure in which the lower layer wiring film has a 1st wiring pattern connected to an electrode wiring of the MOS transistor and a 2nd wiring pattern whose area is large in comparison with the 1st wiring pattern, and the 1st and 2nd wiring patterns are not mutually connected in the lower layer wiring film and connected by the upper layer wiring film through an opening part of the interlayer insulation film.

[0024] (A') A manufacturing method of a semiconductor device according to claim 2 of the invention is a manufacturing method of a semiconductor device set forth in claim 1, including a process of forming, on a semiconductor substrate, a lower layer wiring film having a 1st wiring pattern connected to an electrode wiring of a MOS transistor and a 2nd wiring pattern having a large area in comparison with the 1st wiring pattern and not connected to the 1st wiring pattern, a process of forming an interlayer insulation film coating the lower layer wiring film, a process of forming, in the interlayer insulation film, an opening part reaching to the 1st and 2nd wiring

patterns by a plasma etching method, and a process of depositing an upper layer wiring film on the interlayer insulation film formed with the opening part, thereby connecting the 1st and 2nd wiring patterns by the upper layer wiring film through the opening part of the interlayer insulation film.

[0025] Incidentally, in claim 1 and claim 2, it is a desirable implementation mode to which the invention is applied that an area of the 2nd wiring pattern, which is large in comparison with the 1st wiring pattern, is more than 400 times of a gate area of a smallest MOS transistor formed in this semiconductor device.

[0026] Further, in claim 1 and claim 2, it is desirable that the 1st and 2nd wiring patterns are materials of good conductors, and it is desirable that the material of good conductor is a metallic material such as aluminum (Al), aluminum alloy, Ti, Ti alloy, Cu, Cu alloy and Au.

[0027] (B) A manufacturing method according to claim 3 of the invention is a manufacturing method of a semiconductor device of a multilayer wiring structure having a semiconductor substrate formed with a MOS transistor, a lower layer wiring film formed on the substrate, an interlayer insulation film coating the lower layer wiring film, and an upper layer wiring film formed on the interlayer insulation film, characterized by including a process of forming, on the semiconductor substrate formed with the MOS transistor, a lower layer wiring

film having a predetermined pattern, a process of forming, on the lower layer wiring film, a protection film whose plasma etching rate is small in comparison with the interlayer insulation film, a process of forming the interlayer insulation film coating the lower layer wiring film formed with the protection film, a process of forming an opening part in the interlayer insulation film by a plasma etching method with the protection film being made an etching stopper, and a process of selectively removing the protection film remaining in a bottom part of the opening part by an etching method of non-plasma atmosphere.

[0028] Incidentally, in claim 3, the process of forming an opening part in the interlayer insulation film by a plasma etching method with the protection film being made an etching stopper means a process of forming the opening part by the plasma etching method under a condition that the protection film remains.

[0029] Further, in claim 3, in the process of forming, on the lower layer wiring film, a protection film, the protection film may be formed on the lower layer wiring film over its whole, or the protection film may be formed only on the lower layer wiring film exposed in a bottom part of the opening part of the interlayer insulation film.

[0030] Further, in claim 3, it is a desirable implementation mode that the protection film is selectively formed in the

opening part bottom part of an opening area of more than 400 times with respect to a smallest gate area of the MOS transistor formed in the semiconductor substrate.

[0031] Further, in claim 3, it is a desirable implementation mode that an area of the protection film is set such that an area of a portion not coated by the protection film within an area of the opening part bottom part becomes less than 400 times with respect to the smallest gate area of the MOS transistor formed in the semiconductor substrate.

[0032] Further, in claim 3, it is respectively a desirable implementation mode that the protection film is an insulating material, and (1) the insulating material is an inorganic material such as silicon nitride, or (2) the insulating material is an organic material such as polyimide.

[0033] Further, in claim 3, it is one of the implementation modes that the protection film is a high resistor. Further, it is a desirable implementation mode that the high resistor is a silicon system material such as poly-silicon and amorphous silicon.

[0034] (C) A semiconductor device according to claim 4 of the invention is a semiconductor device of a multilayer wiring structure having a semiconductor substrate formed with a MOS transistor, a lower layer wiring film formed on the substrate, an interlayer insulation film coating the lower layer wiring film, an upper layer wiring film formed on the interlayer

insulation film, and a pad electrode part formed in an uppermost layer, characterized in that a leader wiring connected to a gate electrode wiring of the MOS transistor and reaching to the pad electrode part of the uppermost layer while passing through the multilayer wiring structure is connected to the upper layer wiring film from the lower layer wiring film through a connection hole of the interlayer insulation film, and an opening area of the connection hole is equivalent to an area of a square whose one side is made a wiring width of wider one of the upper layer or lower layer wiring film.

[0035] Incidentally, in claim 4, it is a desirable implementation mode that a center position of the connection hole on the lower layer wiring film and the upper layer wiring film is outside a region just below the pad electrode part formed in the uppermost layer.

[0036]

[Actions]

(A, A') It is explained about actions according to claims 1 and 2.

[0037] The lower layer wiring film has the 1st wiring pattern connected to the electrode wiring of the MOS transistor and the large area 2nd wiring pattern located in a pad electrode part or a region just below it and so forth and, when forming the lower wiring film, the 1st and 2nd wiring patterns are formed under a state of not connected mutually electrically.

Next, the interlayer insulation film is deposited over the whole face, and the opening part, of a predetermined size and number, reaching to the lower wiring film is formed by the plasma etching method. In this process of forming the opening part, similarly to the prior art, the plasma electric charge accompanying with the over-etching such as RIE and the resist exfoliation is implanted to the lower layer wiring film from each opening part. On this occasion, in the invention, the large area 2nd wiring pattern to which a large amount of plasma electric charge is implanted is electrically separated from the 1st wiring pattern, so that the implanted electric charge does not flow into the gate electrode of the MOS transistor. For this reason, the plasma electric charge implantation damage of the MOS transistor can be prevented. Next, by forming the upper layer wiring film on the interlayer insulation film formed with the opening part, the 1st and 2nd wiring patterns of the lower layer wiring film are mutually connected through the opening part (for example, refer to Fig.1(b) or Fig.7(a)).

[0038] Incidentally, it has been known that a degree of defect generation due to the plasma electric charge implantation is more remarkable, the larger an antenna ratio between the large area 2nd wiring pattern and a gate area of the MOS transistor is, and it has been confirmed by experiences (including trials) until now that, especially if this ratio becomes more than 400 times, there arises a practical problem. Accordingly, when



an area of the 2nd wiring pattern is more than 400 times of the gate area, it is desirable to apply the invention.

[0039] (B) In the manufacturing method according to claim 3, the protection film preventing the electric charge implantation at the over-etching time of the plasma etching is formed in a whole face of the lower layer wiring film having a predetermined pattern or an exposed face of the opening part bottom part. Thereafter, the opening part of a predetermined size and number is formed in the interlayer insulation film by the plasma etching method with this protection film being made the etching stopper. In this process of forming the opening part, since the lower layer wiring film of the opening bottom is coated by the protection film, even if it is exposed to the plasma atmosphere at the over-etching time, the plasma electric charge is hindered by the protection film and not implanted to the lower layer wiring film.

[0040] Incidentally, as mentioned above, it has been experientially confirmed that the degree of defect generation due to the plasma electric charge implantation generates the practical problem if an area of the opening part to which the plasma electric charge is implanted becomes more than 400 times of the gate area of the MOS transistor. Accordingly, as to the large area opening part having an opening face of more than 400 times of the gate area, it is desirable to form the protection film such that an area at least not coated by the

protection film becomes less than 400 times of the gate area. That is, in the invention, by selectively coating the protection film to the lower layer wiring film of the large area opening part, an area directly exposed to the plasma atmosphere is limited and thus the plasma electric charge implantation amount is reduced, thereby protecting the MOS transistor.

[0041] (C) It is explained about actions of the semiconductor device according to claim 4 of the invention.

[0042] In the prior art, in a region just below the uppermost layer pad electrode part, the wiring pattern of each layer is a large area approximately equal to an area of the uppermost layer pad electrode and, further in this region, also an opening area of the connection hole of the interlayer insulation film becomes a large area. For this reason, on the occasion of the over-etching in the process of opening the connection hole in the interlayer insulation film, a large amount of plasma electric charge implantation is performed from the large area opening part (connection hole) in the region just below the pad electrode, and thus it has become causes of the injury of the MOS transistor, and the like. In contrast to this, in the invention, each lower layer wiring pattern is not provided with the large area pattern approximately equal to the pad electrode area and, therefore, it becomes possible to cause the opening area of the connection hole formed in the interlayer insulation

film to be equivalent to the area of the square whose one side is made the wiring width as mentioned above, so that the plasma electric charge implantation amount from the connection hole can be extremely reduced.

[0043] Incidentally, in the prior art, the connection hole of the opening face approximately equal to the pad electrode is provided in the region just below the pad electrode, but it is desirable that a center position of the connection hole in the invention is made outside the region just below the pad electrode in order to satisfy the demand for a bonding ability such as flatness.

[0044]

[Embodiments]

(A) Hereunder, it is explained about a 1st embodiment of a semiconductor device according to claim 1 of the invention by referring to Fig.1.

[0045] Fig.1 includes views schematically showing a main part of the embodiment of the semiconductor device, wherein the same drawing (a) is a sectional view along a BB' line shown in the same drawing (b), and the same drawing (b) a plan view.

[0046] The semiconductor device shown in Fig.1 has a semiconductor substrate 11 formed with a MOS transistor (not shown in the drawing), lower layer wiring films 33a and 33b which have contact holes and so forth (not shown in the drawing) and are formed on an oxide film ( $\text{SiO}_2$  film) 12 becoming an

underlay of a multilayer wiring, an interlayer insulation film 34 coating the lower layer wiring films, and upper layer wiring films 36a and 36b formed on the insulation film 34.

[0047] Next, as to characteristics of the invention, the lower layer wiring film 33 has the 1st wiring pattern 33b connected to an electrode wiring (not shown in the drawing) of the MOS transistor and the 2nd wiring pattern 33a of a large area in comparison with the 1st wiring pattern 33b, and the 1st and 2nd wiring patterns 33a and 33b are not connected in the lower layer wiring film and are connected by the upper layer wiring film 36b through an opening part 37b (refer to Fig.5(g)) of the interlayer insulation film 34. Incidentally, the plan view of Fig.1(b) shows, for convenience' sake, only the upper layer wiring film 36b portion connecting the 1st, 2nd wiring patterns 33b, 33a and the upper layer wiring film 36b portion connecting both the wiring patterns through the opening part 37b.

[0048] (A') Next, it is explained about a manufacturing method according to claim 2 with the semiconductor device of the 1st embodiment being made an example.

[0049] In Fig.2(a), the oxide film 12 becoming the underlay of the multilayer wiring is formed on the semiconductor substrate 11. Next, in Fig.2(b), an Al film 33 is deposited by a usual sputtering method.

[0050] Next, a resist mask (not shown in the drawing) having

a predetermined wiring pattern is formed in the deposited Al film 33 by a usual lithography technique and, by etching it by a usual RIE method, such a lower layer Al wiring pattern 33 as shown in Fig.3 is obtained. Fig.3(c') shows a plan view of this pattern, and Fig.3(c) a sectional view along a CC' line.

[0051] The lower layer Al wiring pattern 33 has the 2nd wiring pattern 33a of the large area located in a pad electrode part or a region just below it or the like and the 1st wiring pattern 33b connected to a gate electrode wiring of the MOS transistor, and the 1st and 2nd wiring patterns are not connected mutually as shown in the drawing.

[0052] Next, after the above resist mask (not shown in the drawing) has been exfoliated, the plasma silicon oxide film 34 is deposited by a plasma CVD apparatus as shown in Fig.4(d), and a resist 35 for etch back is applied as shown in Fig.4(e).

[0053] Next, the etch back is performed, and the interlayer insulation film 34 flattened as shown in Fig.5(f) is formed. Next, by the usual photolithography method and RIE method, openings (via holes) of predetermined size and number are formed in the interlayer insulation film 34. That is, in Fig.5(g), an opening part 37a is an opening part, whose opening area is large, formed on the 2nd wiring pattern 33a of the large area of the pad and so forth, and the opening part 37b is an opening part for connecting the 2nd wiring pattern 33a and the 1st wiring pattern 33b connected to the electrode wiring of

the MOS transistor.

[0054] Next, as shown in Fig.6(h), an upper layer Al film 36 is deposited by a usual sputter method, and the Al film 36 is patterned by the usual lithography method or RIE method, thereby forming the upper layer wiring patterns 36a, 36b as shown in Fig.6(i). At this time, by the upper layer wiring pattern 36b embedding the opening part 37b, the 1st and 2nd wiring patterns of the lower layer wiring pattern are connected (refer to Fig.1(b)).

[0055] Fig.7 includes views showing a main part of a 2nd embodiment according to claim 1 of the invention, wherein Fig.7(b) is a plan view, and Fig.7(a) a sectional view along a DD' line. Incidentally, the same reference numeral as Fig.1 to Fig.6 denotes the same portion. In this embodiment, similarly to the aforesaid embodiment, the 2nd wiring pattern 33a of the large area of the lower layer wiring film and the 1st wiring pattern 33b connected to the electrode wiring of the MOS transistor are not connected mutually in the lower layer wiring film. A point different from the aforesaid embodiment exists in the fact that the 1st, 2nd wiring patterns 33a and 33b are mutually connected through the two opening parts of the opening part 37a formed in the interlayer insulation film 34 and reaching to the 2nd wiring pattern 33a and the opening part 37b reaching to the 1st wiring pattern 33b by the upper layer wiring film 36 embedded in both the opening parts.

[0056] As apparent also from the aforesaid 1st and 2nd embodiments, a process of forming the lower layer wiring pattern is characterized in that the 2nd wiring pattern of the large area and the 1st wiring pattern connected to the electrode wiring of the MOS transistor are formed under a state of not connected mutually and, thereafter until the interlayer insulation film is deposited and the opening part (via hole) is formed in the insulation film, both the wiring patterns are separated and thereafter connected by forming the upper layer wiring film.

[0057] By this, in a plasma etching process forming the opening part in the interlayer insulation film, even if a large amount of plasma electric charge implantation exists with the 2nd wiring pattern of the large area being made the antenna, it is possible to prevent the electric charge from reaching to the MOS transistor element.

[0058] By this, in a case where the protection element cannot be installed for reasons of a circuit, the following advantages were confirmed. That is, (1) a gate breakage and the characteristic fluctuation of the MOS transistor element were prevented, and the yield was improved by 5 - 10%. (2) In comparison with a conventional product subjected to a plasma electric charge implantation damage, the life was prolonged by 2 - 5 times (a time elapsed until the characteristic fluctuated by 10% was made the life).

[0059] (B) Hereunder, it is explained about an embodiment of a manufacturing method, of a semiconductor device, according to claim 3 of the invention by referring to Fig.8 to Fig.10.

[0060] In Fig.8(a), after an Al - 1% Si - 0.5% Cu (hereafter, referred to simply as Al film) film 42 of a thickness 1.0  $\mu\text{m}$  has been formed as a lower layer wiring metal film on a semiconductor substrate 41 formed with the MOS transistor and a wiring substratum insulation film (not shown in the drawing) by the usual sputter method, a polyimide resin is applied onto the wiring metal film 42 as a later-mentioned protection film 43 preventing the electric charge implantation from the plasma atmosphere, and a predetermine heat treatment (100 °C for 30 minutes + 250 °C for 30 minutes + 350 °C for 60 minutes in  $\text{N}_2$ ) is performed, thereby forming the polyimide film (protection film) 43 in a thickness 0.4  $\mu\text{m}$ . Subsequently, the Al film 42 and the polyimide film 43 were continuously worked by the usual photolithography method (with a photoresist 44 being made a mask) and RIE method, and thus the lower layer wiring film having a predetermined pattern was formed.

[0061] Next, in Fig.8(a), after the photoresist 44 has been selectively exfoliated by a plasma  $\text{O}_2$  light ashing (ashing amount 0.2  $\mu\text{m}$ ) and a usual resist exfoliation liquid, a silicon oxide film 45 of 1.0  $\mu\text{m}$  in thickness is formed as the interlayer insulation film by the usual plasma CVD method as shown in Fig.8(b). Subsequently, a photoresist mask 46 having a



predetermined opening pattern is formed by the usual photolithography method.

[0062] Next, as shown in Fig.9(a), an over-etching of 50% is performed by the RIE method (reaction gas  $\text{SF}_6/\text{CHF}_3/\text{He} = 10/50/150$  sccm - 650 W - 2.0 Torr) with the protection film 43 being made an etching stopper, thereby forming a predetermined (e.g., large area of the pad electrode part and so forth) opening part 47 and the like in the interlayer insulation film 45.

[0063] As shown in Fig.9(d), finally the photoresist mask 46 and the polyimide film 43 remaining in a bottom part of the opening part 47 are removed by the plasma  $\text{O}_2$  light ashing (ashing amount 0.1  $\mu\text{m}$ ) and an ozone  $\text{O}_2$  ashing method of non-plasma atmosphere, thereby completing a predetermined opening part formation.

[0064] Incidentally, in the above embodiment, the protection film 43 is formed on the lower layer wiring film 42 approximately over its whole face, but it suffices if it is selectively formed at least in an opening part formation region whose opening area is more than 400 times of a minimum gate area of the MOS transistor formed in the semiconductor substrate.

[0065] Further, as its example is shown in Fig.10, also the fact has been confirmed by experiences (including trials) that, as an area coated by the protection film 43, it suffices if

an area of a portion 48 not coated by the protection film 43 within the bottom face of the opening part 47 (i.e., portion in which the lower layer wiring film 42 is exposed at the RIE opening time) becomes less than 400 times with respect to the minimum gate area.

[0066] Further, as the process of forming the protection film 43, in the embodiment the Al film 42 for the lower layer wiring is coated, subsequently the protection film 43 is applied, and thereafter the formation is performed simultaneously with the lower layer wiring patterning, but it is needless to say that the formation of the protection film may be performed by a separate process after forming the lower layer wiring pattern. For example, there is no objection even if it is adapted such that the protection film is formed only in the opening part having the opening area of 400 times or more with respect to the minimum gate area.

[0067] Additionally, as a material of the protection film, the polyimide film was used in the embodiment, but it suffices if the plasma electric charge implantation to the lower layer wiring film can be prevented or limited at the opening time in the plasma atmosphere, and it is needless to say that it may be other organic or inorganic insulating material or a silicon system high resistor such as poly-silicon and amorphous silicon.

[0068] Further, as the method of opening the interlayer

insulation film, it was the RIE method in the embodiment, but it may be a method, using other etching apparatus, of processing the semiconductor substrate in the plasma atmosphere.

[0069] Further, as the method of removing the protection film, it was the ozone O<sub>2</sub> ashing method in the embodiment, but it is needless to say that it sufficed if it is a removing method of processing the semiconductor substrate in the non-plasma atmosphere.

[0070] The invention according to claim 3 is characterized in that, in the case where as mentioned above the interlayer insulation film coating the lower layer wiring film is etching-opened by the RIE and so forth in the plasma atmosphere (especially, at the over-etching time), the protection film is formed in order to prevent the electric charge implantation to the wiring film from the plasma atmosphere. By this, even in a case where the protection element cannot be added for reasons of the circuit constitution and the like, there were confirmed advantages that (a) since a gate destruction and the characteristic fluctuation of the MOS transistor were prevented, an increase in yield of 5 - 10% was realized, (b) in comparison with a conventional product subjected to a damage due to an electric charge implantation, the life (10% characteristic fluctuation life) became 2 - 5 times, and the like.

[0071] (C) Hereunder, as to a semiconductor device according

to claim 4 of the invention, it is explained about a knowledge arriving at the invention and an embodiment.

[0072] In order to reduce the RIE damage that is a problem of the aforesaid prior art, it is effective to reduce a plasma implantation electric charge amount implanted to the lower layer Al wiring film. On the other hand, since this implantation electric charge amount is approximately proportional to an exposure area of the lower layer Al wiring film exposed to the plasma atmosphere when over-etched, it is desirable to reduce a total area of the connection hole patterns (the same as opening patterns or via hole patterns), i.e., to reduce an antenna efficiency. From this viewpoint, it is unfavorable to simultaneously perform, for the reduction in the RIE damage, the opening of the minute connection hole and the opening of the large area connection hole just below the pad electrode part by the same RIE process.

[0073] However, in the prior art, the large area patterning of the pad electrode for satisfying demands such as bonding ability as the pad electrode of an uppermost layer extends from the uppermost layer also to each wiring film pattern of the lower layer and, as a result, it has been allowed that, when the connection hole of each lower layer is RIE-opened, a vainly large amount of electric charge is implanted from the connection hole pattern of the large opening area of each layer.

[0074] Since enlarging the area of the connection hole pattern

of each lower layer just below the pad electrode is not an inherently indispensable condition for the demand such as bonding ability, in the invention the area of the connection hole of each lower layer is not enlarged, and the opening area of the connection hole is limited to be equivalent to an area of a square whose one side is made a wiring width of wider one of the upper layer or the lower layer. By this, each electric charge implantation amount when the connection hole of each lower layer is opened by the RIE is extremely reduced, so that it is possible to reduce the RIE damage.

[0075] Next, one embodiment of the semiconductor device according to claim 4 is explained below by referring to the drawings. Fig.11(a) is a sectional view (section along an EE' line of the same drawing (b)) schematically showing a main part of the device concerned, and Fig.11b a plan view of the same.

[0076] Reference numeral 51 is a semiconductor substrate formed with the MOS transistor, 52 an oxide film ( $\text{SiO}_2$  film) becoming an underlay of a multiplayer wiring, 54 a 1st interlayer insulation film ( $\text{SiO}_2$  film) and 53 a lower layer Al wiring film (hereafter, in the explanation of the item (C), referred to as 1st layer Al wiring film or Al wiring pattern) when seen from the interlayer insulation film 54, and 56 is an upper layer Al wiring film (hereafter, referred to as 2nd layer Al wiring film or Al wiring pattern). When seen from a 2nd interlayer insulation film 58, the 2nd layer Al wiring film 56 and a 3rd

layer Al wiring film 60 correspond to lower and upper layer wiring films set forth in claim, and a 3rd layer Al wiring film 60p of the large area is an uppermost layer pad electrode. [0077] In Fig.11, in a characteristic of the semiconductor device of the invention, a leader wiring reaching to the uppermost layer pad electrode 60p passes through the 1st layer Al wiring film 53 connected to the gate electrode wiring of the MOS transistor and is connected to the 2nd layer Al wiring film 56 through a 1st connection hole 57 of the 1st interlayer insulation film 54, additionally the 2nd layer Al wiring film 56 is connected to the 3rd layer Al wiring film 60 through a 2nd connection hole 59 of the 2nd interlayer insulation film 58 and reaches the uppermost layer pad electrode part 60p that is an extended part of the 3rd layer Al wiring film 60, and the opening area of the connection hole 57 or 59 is equivalent to the area of the square whose one side is made the wiring width of wider one of the upper layer or lower layer wiring film.

[0078] Next, as to a manufacturing method of the above semiconductor device, it is explained about its outline in order of process.

[0079] In Fig.12(a), first a circuit pattern (not shown in the drawing) consisting of the MOS transistor is formed on the Si substrate 51, thereon the oxide film 52 becoming the underlay of the multilayer wiring is deposited in a thickness 800 nm

by the CVD method, and a desired contact hole (not shown in the drawing) is formed to the oxide film 52 by the RIE method with the resist being made the mask.

[0080] Next, after the 1st layer Al film has been deposited in a thickness 800 nm by the sputter method, the Al film concerned is patterned by the RIE method with the resist being made the mask, thereby forming the 1st layer Al wiring pattern 53. Next, the oxide film ( $\text{SiO}_2$ ) 54 of the 1st interlayer insulation film is deposited over the whole face. Next, to this oxide film 54, the 1st connection hole 57 for a leader of the 1st Al wiring film is opening-formed by the RIE with the resist being made the mask.

[0081] Here, the 1st connection hole 57 corresponds in the prior art to the connection hole directly connecting the 1st layer Al wiring pattern of the lower layer to the large area pattern of the upper layer such as the pad electrode part. However, the opening area of the 1st connection hole 57 in the invention is approximately equivalent to the area of the square whose one side is made the wiring width of wider one of the upper and lower peripheral wiring films, and its width is at most about 5 - 10  $\mu\text{m}$ . In a corresponding place in the prior art, since one side has become as large as 50 - 100  $\mu\text{m}$  as a result of approximating the size to the large area pattern of the pad electrode part just above it and so forth, a difference from the opening area of the connection hole in the invention is

evident. Since the amount of the electric charge implanted at the RIE process time while passing through the connection hole is proportional to the opening area of the connection hole as mentioned above, in the invention it is estimated that the electric charge implantation amount can be reduced to  $1/25 - 1/400$  in comparison with the prior art.

[0082] Next, returning to the process explanation of the embodiment of the invention, in Fig.12(b), after the resist (not shown in the drawing) has been exfoliated, the 2nd layer Al film is deposited in a thickness 800 nm by the usual sputter method, and the Al film concerned is patterned by the RIE method with the resist being made the mask, thereby forming the 2nd layer Al wiring pattern 56. Next, the oxide film ( $\text{SiO}_2$ ) 58 of the 2nd interlayer insulation film is deposited by the CVD method and, to this oxide film 58, the 2nd connection hole 59 for embedding a leader electrode of the 2nd layer Al wiring film 56 is opened by the RIE method with the resist being made the mask.

[0083] Here, although the 2nd connection hole 59 corresponds to the conventional connection hole directly connecting the 2nd layer Al wiring film to the upper layer large area pattern such as the pad, in the invention its opening face is at most  $5 - 10 \mu\text{m}$  in its length of one side similarly to the case of the 1st connection hole 57 and, in comparison with one side  $50 - 100 \mu\text{m}$  of the corresponding connection hole in the prior



art, it is  $1/25 - 1/400$  in an area ratio, so that an extreme reduction in the opening area is expected.

[0084] Next, in returning to the process explanation of the embodiment of the invention, in Figs.11(a) and (b), the 3rd Al film 60 is deposited over the whole face by the sputter method, and the 3rd layer Al wiring film 60 is pattern-formed by the RIE method with the resist being made the mask. Subsequently, as a top passivation film, an SiON film 61 is deposited in 1000 nm by the CVD method, and the SiON film 61 is opened by a wet etching method with the resist being made the mask thereto, thereby forming a 3rd connection hole 62.

[0085] Here, as to the 3rd connection hole 62, especially in a place functioning as the pad, the Al pad electrode part 60p in the bottom face is obliged to become a large area pattern whose one side is  $50 - 100 \mu\text{m}$  in view of the bonding ability demanded. For this opening method, since the RIE method accompanying the electric charge implantation is not adopted and the wet etching method free of the electric charge implantation is adopted, there is no possibility of the electric charge implantation in the process of opening the 3rd connection hole.

[0086] Incidentally, as shown in Fig.11, in this embodiment, although the lower layer 2nd connection hole 59 and the 1st connection hole 57 which are directly connected to the pad electrode part 60p exist outside a region just below the pad

electrode part 60p of the 3rd layer Al film, this is for avoiding a step difference generation in a face of the pad electrode part 60p in view of the bonding ability, and it is a desirable implementation mode.

[0087] As apparent also from a plan view of Fig.11(b), since regions where there exist the 2nd connection hole 59 and the 1st connection hole 57 which hitherto have been directly connected to the pad electrode part 60p of the 3rd layer Al wiring film almost remain within regions of the leader wirings 60 and 56 of the pad electrode originally existing, an increase in layout area accompanying with the fact that the 2nd connection hole 59 and the 1st connection hole 57 are located in the regions outside the pad electrode part 60p scarcely becomes a problem.

[0088] In the above embodiment, the 1st and 2nd connection holes 57 and 59 are provided in positions outside the region just below the pad electrode part, but as shown in Fig.13 the connection holes 59 and 57 may exist in regions just below the large area pattern 60 of the 3rd layer Al film if there is no hindrance in the bonding ability. Incidentally, in Fig.13, the same reference numeral as Fig.11(b) denotes the same portion or a corresponding portion.

[0089] In the above, one embodiment according to claim 4 of the invention has been described, but the invention according to claim 4 is never limited to an application within a scope

of the above embodiment, and it is of course that there is no objection in various modifications or combinations of different materials and processes in a scope not deviating from a gist of the invention.

[0090] For example, one example of this is shown in Fig.14. In the same drawing, it is an example in which the 1st and 2nd connection holes 57 and 59 on the leader wiring from the pad electrode part 60p are disposed while lying in a row in a vertical direction.

[0091] By an advantage of the invention (claim 4), the amount of the electric charge implantation generated when opening every connection hole in each layer of the multilayer wiring by RIE is reduced to about  $1/25$  -  $1/400$  as mentioned above.

[0092] By this advantage, also the amount of the electric charge arriving on the gate electrode of the MOS transistor is similarly reduced, and the fluctuation of the transistor characteristic and a series of multilayer process damages such as gate oxide film destroy are reduced. Accordingly, the yield of the MOS transistor is remarkably increased without an increase in cost, and it is possible to extremely contribute to improve a yield and a reliability of product. In this embodiment, an improvement in yield of about 10% was confirmed. Further, as to the life of the MOS transistor, according to a forced life test, it became 1.5 - 2.0 times.

[0093] Incidentally, according to the invention (claim 4),

there is a large forte in the fact that it is possible to inexpensively and easily undergo the above merit without accompanying a special apparatus or process and within a scope of technical level at present.

[0094]

[Advantage of the Invention] As heretofore mentioned in detail, by the invention, it was possible to provide the semiconductor device and the manufacturing method of it, each of which was capable of realizing the improvements in the yield and the reliability by reducing the injury of the MOS transistor due to the plasma electric charge implanted from the opening part of the large opening area such as the pad electrode part region when forming the opening part (connection hole) connecting the upper layer and lower layer wiring films through the interlayer insulation film by the plasma etching method (e.g., RIE) in the semiconductor device of the multilayer wiring structure including the MOS transistor.

[Brief Description of the Drawings]

[Fig.1] It includes views of a 1st embodiment of a semiconductor device according to claim 1 of the invention, wherein the same drawing (a) is a sectional view, and the same drawing (b) a plan view.

[Fig.2] The same drawings (a) and (b) are sectional views showing, in order of process, one example of a manufacturing method, of a semiconductor device, according to claim 2 of the

invention.

[Fig.3] The same drawing (c) showing a manufacturing process following Fig.2(b) is a sectional view, and the same drawing (c') a plan view.

[Fig.4] The same drawings (d) and (e) are sectional views showing manufacturing processes following Fig.3(c).

[Fig.5] The same drawings (f) and (g) are sectional views showing manufacturing processes following Fig.4(e).

[Fig.6] The same drawings (h) and (i) are sectional views showing manufacturing processes following Fig.5(g).

[Fig.7] It shows a 2nd embodiment of the semiconductor device according to claim 1 of the invention, wherein the same drawing (a) is a sectional view, and the same drawing (b) a plan view.

[Fig.8] The same drawings (a) and (b) are sectional views showing, in order of process, one embodiment of a manufacturing method, of a semiconductor device, according to claim 3 of the invention.

[Fig.9] The same drawings (c) and (d) are sectional views showing manufacturing processes following Fig.8(b).

[Fig.10] It is a sectional view showing other embodiment of a manufacturing method, of the semiconductor device, according to claim 3 of the invention.

[Fig.11] It includes views showing one embodiment of a semiconductor device according to claim 4 of the invention, wherein the same drawing (a) is a sectional view, and the same

drawing (b) a plan view.

[Fig.12] The same drawings (a) and (b) are sectional views for explaining, in order of process, a manufacturing method of the semiconductor device shown in Fig.11.

[Fig.13] It is a plan view showing other embodiment of the semiconductor device according to claim 4 of the invention.

[Fig.14] It includes views showing still other embodiment of the semiconductor device according to claim 4 of the invention, wherein the same drawing (a) is a sectional view, and the same drawing (b) a plan view.

[Fig.15] The same drawing (a) is a sectional view for explaining, in order of process, one example of a manufacturing method of a conventional semiconductor device.

[Fig.16] It includes views showing manufacturing processes following Fig.15(a), wherein the same drawing (b) is a sectional view, and the same drawing (b') a plan view.

[Fig.17] The same drawings (c) and (d) are sectional views showing manufacturing processes following Fig.16(b).

[Fig.18] The same drawings (e) and (f) are sectional views showing manufacturing processes following Fig.17(d).

[Fig.19] The same drawing (g) is a sectional view showing a manufacturing process following Fig.18(f).

[Description of Reference Numerals]

11, 41, 51    semiconductor substrate

12, 52        oxide film (underlay of multilayer wiring)

33	lower layer wiring Al film (pattern)
33a	2nd wiring pattern
33b	1st wiring pattern
34	interlayer insulation film
35	resist for etch back
36, 36a, 36b	upper layer Al wiring film (pattern)
37a, 37b	opening part (connection hole)
42	lower layer Al wiring film
43	protection film
44, 46	photoresist mask
45	interlayer insulation film
47	opening part (connection hole)
53	1st layer Al wiring film (pattern)
54	1st interlayer insulation film
56	2nd layer Al wiring film (pattern)
57	1st opening part (connection hole)
58	2nd interlayer insulation film
59	2nd opening part (connection hole)
60	3rd layer Al wiring film (pattern)
60p	uppermost layer pad electrode part
61	top passivation film
62	3rd opening part (connection hole)

Continuation of the front page

(51) Int. Cl.<sup>6</sup>

H0 1L 21/822

Identification Number

Intraoffice Reference Number

FI

H0 1L 27/04

Technique Indication Place

H

(72) Inventor: Tomie Yamamoto

c/o Tamagawa Factory, Toshiba Corp.

1, Komukai Toshiba-cho, Saiwai-ku, Kawasaki City,  
Kanagawa Pref.

(72) Inventor: Kazuyuki Yahiro

c/o Tamagawa Factory, Toshiba Corp.

1, Komukai Toshiba-cho, Saiwai-ku, Kawasaki City,  
Kanagawa Pref.



FIG.1

36: UPPER LAYER WIRING FILM

37b: OPENING PART

34: INTERLAYER INSULATION FILM

11: SEMICONDUCTOR SUBSTRATE

12: UNDERLAY OXIDE FILM

36b: UPPER LAYER WIRING FILM

33: LOWER LAYER WIRING FILM

33b: 1ST WIRING PATTERN

33a: 2ND WIRING PATTERN

FIG.2

33: Al FILM

FIG.4

34: PLASMA OXIDE FILM

(INTERLAYER INSULATION FILM

35: RESIST FOR ETCH BACK

FIG.3

33a: 2ND WIRING PATTERN

33b: 1ST WIRING PATTERN

33: LOWER LAYER Al WIRING PATTERN

FIG.5

34: FLATTENED INTERLAYER INSULATION FILM

FIG.6

36: UPPER LAYER WIRING PATTERN

FIG.8

43: PROTECTION FILM

(POLYIMIDE FILM)

44: PHOTORESIST MASK

42: WIRING Al FILM

(LOWER LAYER WIRING FILM)

41: SEMICONDUCTOR SUBSTRATE (CONTAINING UNDERLAY OXIDE FILM  
ETC.)

46: PHOTORESIST MASK

45: SILICON OXIDE FILM (INTERLAYER INSULATION FILM)

FIG.9

47: OPENING PART

FIG.10

47: OPENING PART

FIG.11

60p: UPPERMOST LAYER PAD ELECTRODE PART

60: 3RD LAYER Al WIRING PATTERN

FIG.12

- 54: 1ST INTERLAYER INSULATION FILM
- 57: 1ST CONNECTION HOLE
- 53: 1ST LAYER Al WIRING PATTERN
- 58: 2ND INTERLAYER INSULATION FILM
- 59: 2ND CONNECTION HOLE
- 56: 2ND LAYER Al WIRING PATTERN